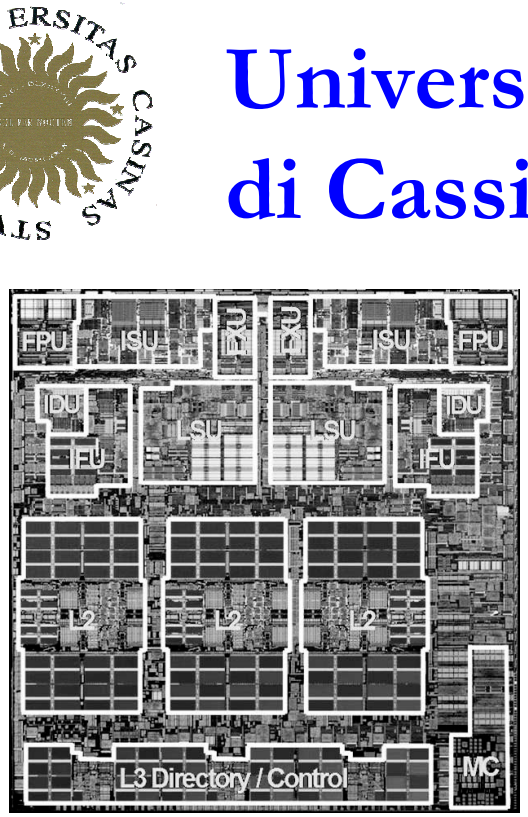


Università degli Studi di Cassino

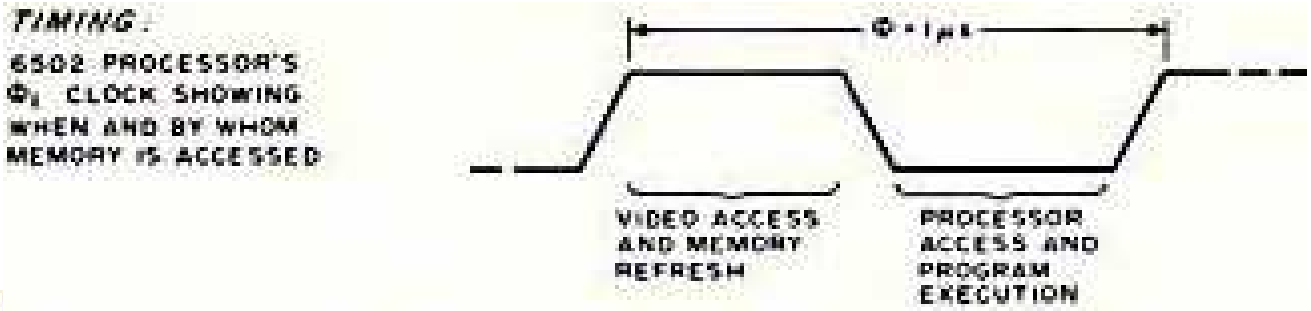
Corso di Calcolatori Elettronici II

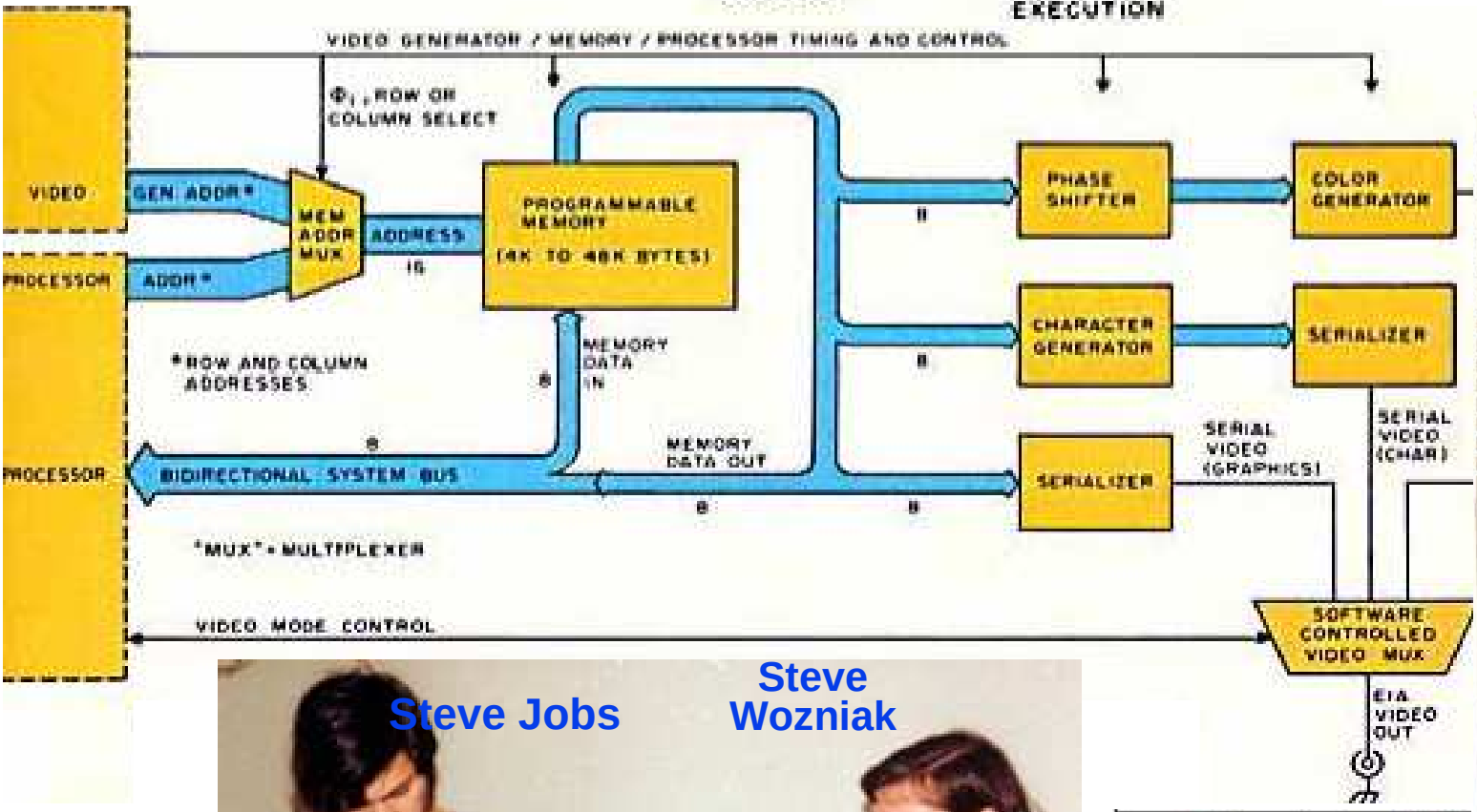
Gerarchia di Memoria
Memorie RAM

Anno Accademico 2006/2007

Francesco Tortorella

1977: DRAM più veloce del processore
(© prof. Patterson)





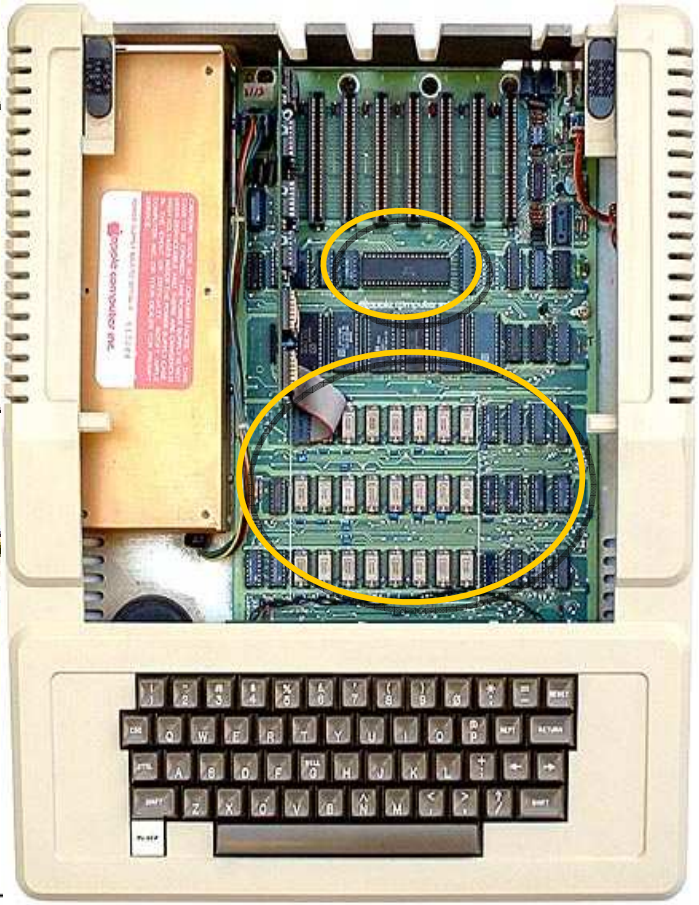
Calc
Gero

RAM Complement	Apple II System
4K	$ 1,298.00
48K	2,638.00

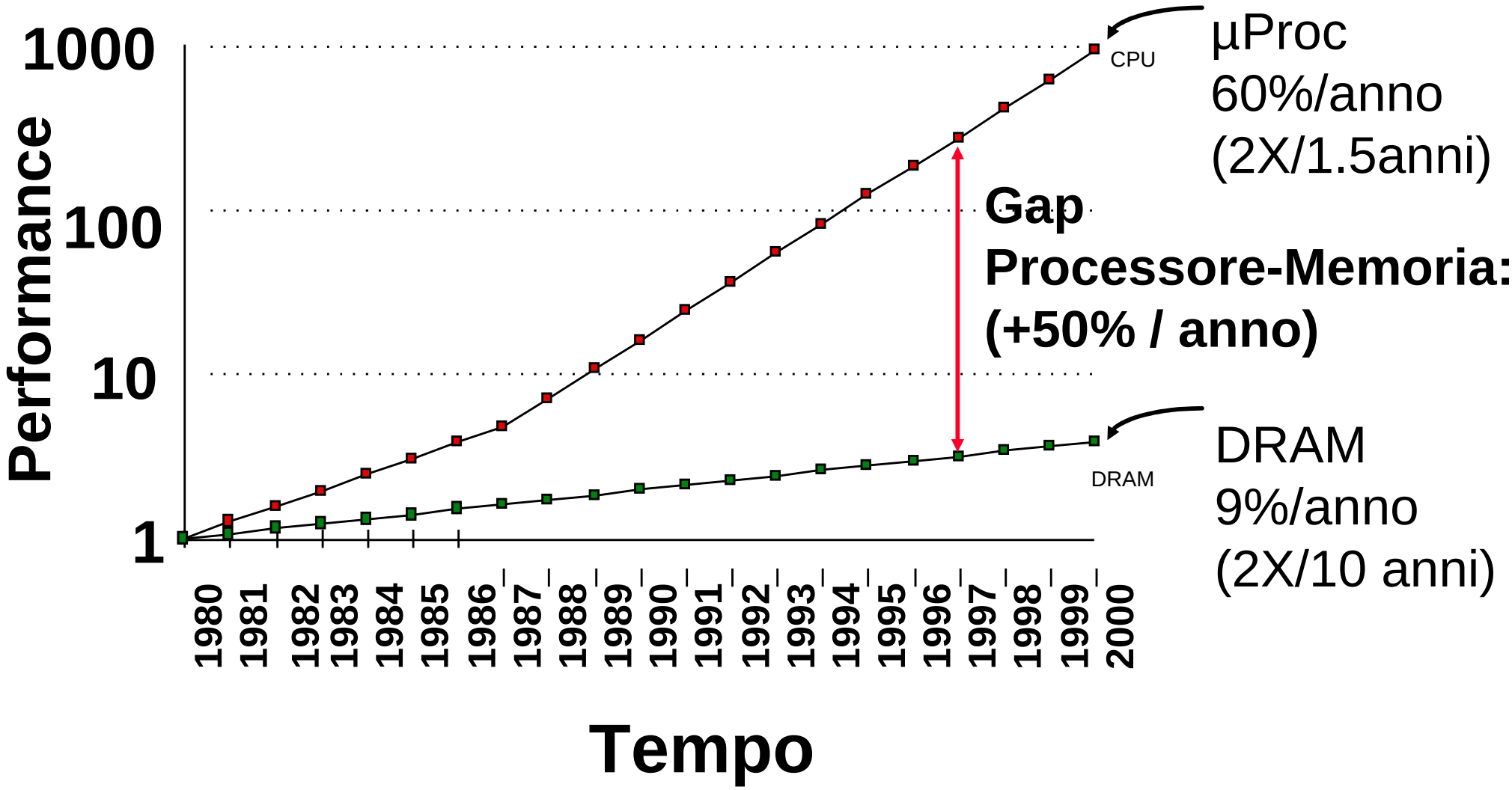
Apple][(1977)

CPU: 1000 ns

DRAM: 400 ns



Il *Performance Gap* processore/memoria



Gerarchia di memoria

"Ideally one would desire an indefinitely large memory capacity such that any particular … word would be immediately available … We are forced to recognize the possibility of constructing a hierarchy of memories, each of which has greater capacity than the preceding but which is less quickly accessible."

Burks, Goldstine, von Neumann, 1946

Requisiti teorici di un sistema di memoria:

capacità infinita

velocità infinita

Evidenza:

→ le memorie capaci sono lente

→ le memorie veloci non sono capaci

Come realizzare un sistema di memoria che sia capace, economico e veloce ?

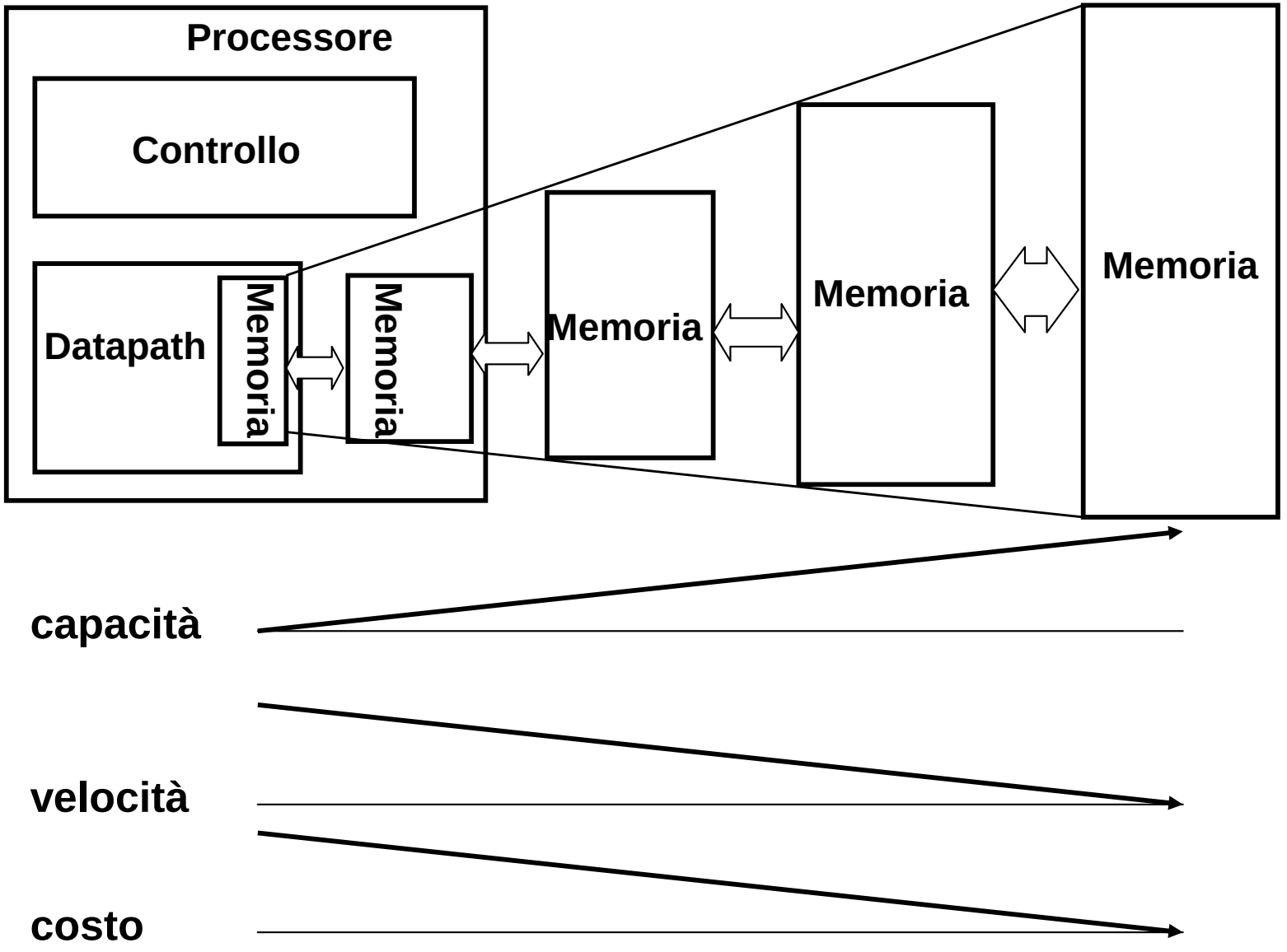
Un sistema basato su una gerarchia di memoria

Sistema di memoria gerarchico

Il sistema di memoria è composto da moduli di memoria aventi caratteristiche diverse e organizzati a livelli.

I dati memorizzati sono distribuiti sui vari moduli e possono essere trasferiti tra moduli adiacenti.

La distribuzione dei dati è realizzata in base al **principio di località**.



Principio di località

Un programma accede solo una parte (relativamente piccola) dello spazio di indirizzi in ogni istante.

Località temporale

⇒ avvicinare al processore i dati più recentemente acceduti

Località spaziale

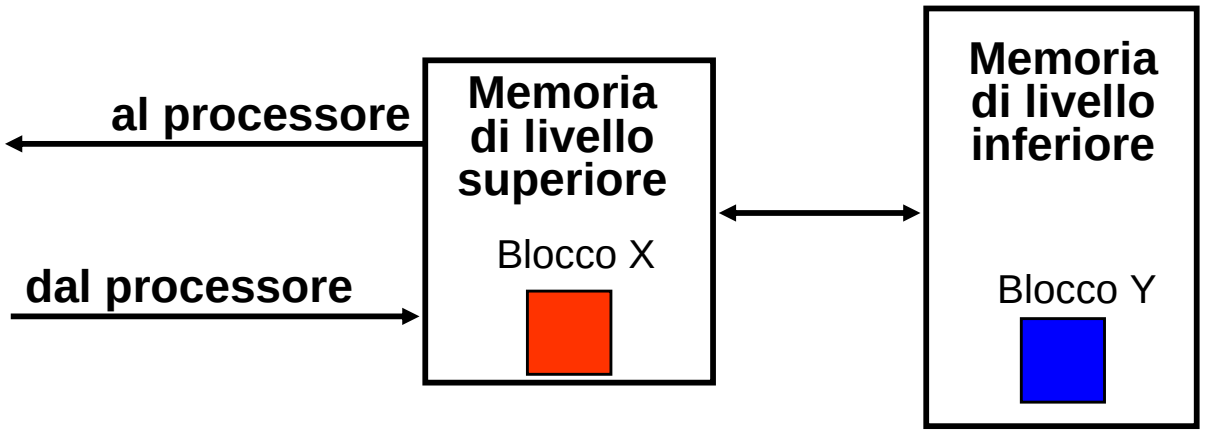
⇒ spostare blocchi di dati contigui

F. Tortorella © 2007
Università degli Studi
di Cassino

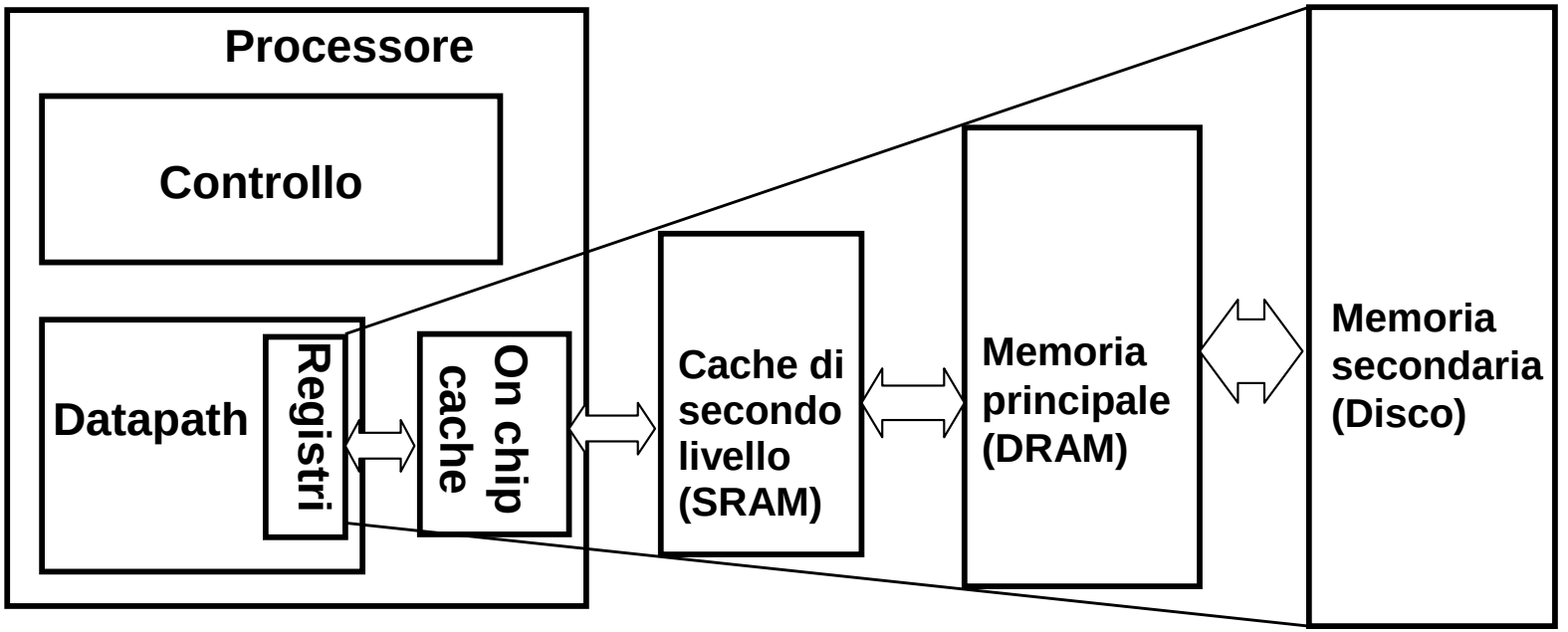
Hit or Miss ?

- **Hit**: i dati richiesti sono presenti in un blocco della memoria di livello superiore (es.: blocco X)
  - **Hit Rate**: la frazione di accessi di memoria risolti nella memoria di livello superiore
  - **Hit Time**: tempo necessario per accedere ai dati presenti nella memoria di livello superiore. E' formato da:

    tempo per determinare hit/miss + tempo trasferimento
- **Miss**: i dati richiesti non sono presenti nella memoria di livello superiore e devono essere trasferiti dalla memoria di livello inferiore (es.: blocco Y)
  - **Miss Rate** = 1 - (Hit Rate)
  - **Miss Penalty**: tempo necessario per rimpiazzare un blocco nella memoria di livello superiore + tempo per trasferire il blocco al processore
- **Hit Time << Miss Penalty**

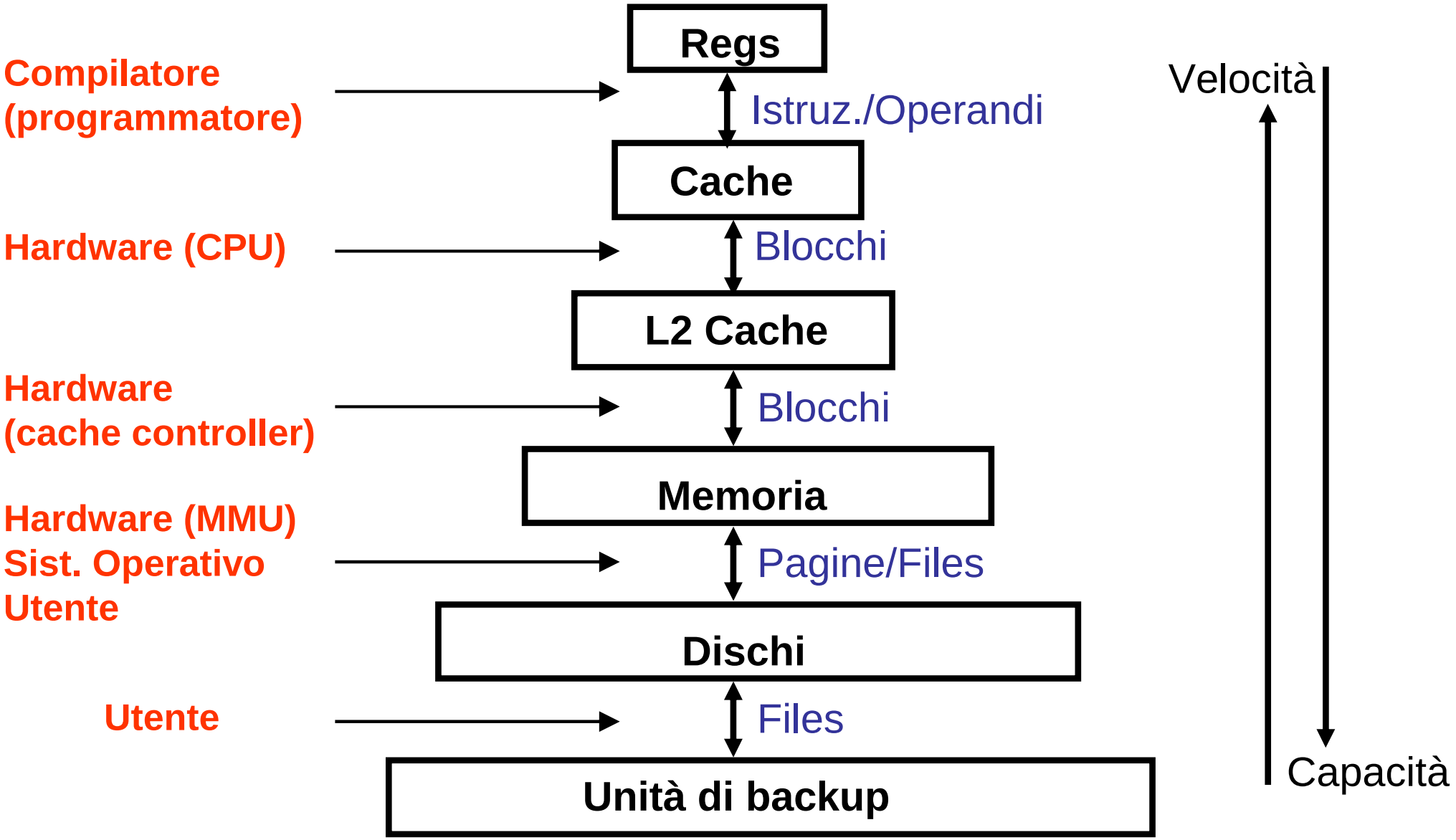


Sistema di memoria in un computer attuale



Velocità (ns):	1s	10s		100s	10,000,000s (10s ms)
Dimensioni (bytes):	100s	Ks	Ms	Gs	10*Gs

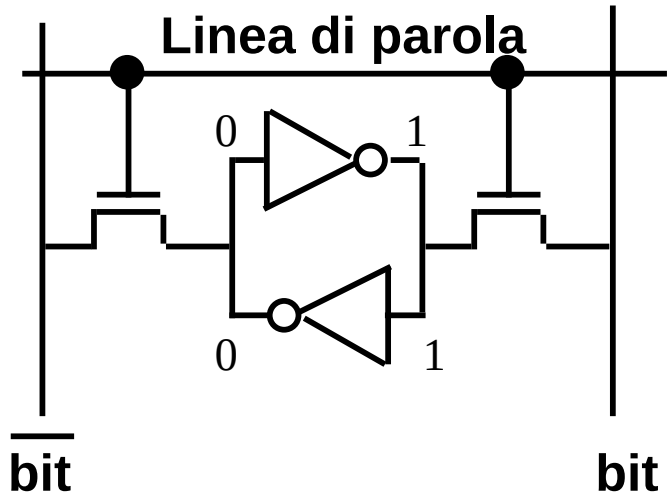
Chi gestisce la gerarchia di memoria ?

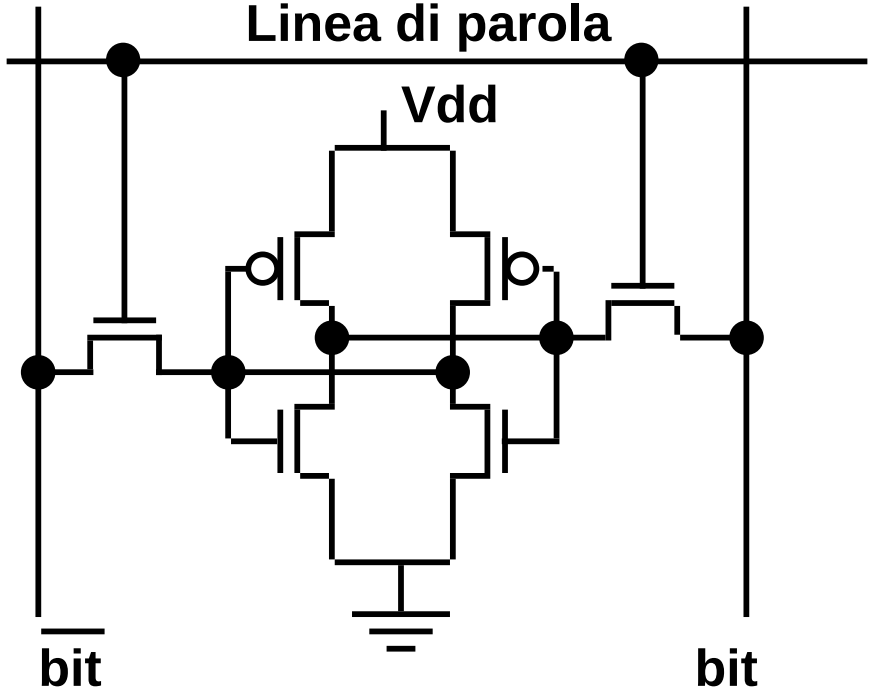


Gerarchia di memoria: tecnologie

- **Accesso casuale (random)**:
  - vantaggioso: tempo di accesso uguale per tutte le locazioni
  - **DRAM**: *Dynamic Random Access Memory*
    - Alta densità di integrazione, economica, lenta, bassa potenza alimentazione
    - *Dynamic*: è necessario rigenerare i contenuti periodicamente (refresh)
  - **SRAM**: *Static Random Access Memory*
    - Bassa densità di integrazione, costosa, veloce, alta potenza alimentazione
    - *Static*: il contenuto viene mantenuto finché è presente l'alimentazione
- **Accesso "quasi casuale"** :
  - tempo di accesso variabile da locazione a locazione e da istante a istante
  - Esempio: Dischi, CDROM
- **Accesso sequenziale**:
  - tempo di accesso linearmente dipendente dalla posizione (es., nastro)

Cella di memoria RAM statica (6 transistor)





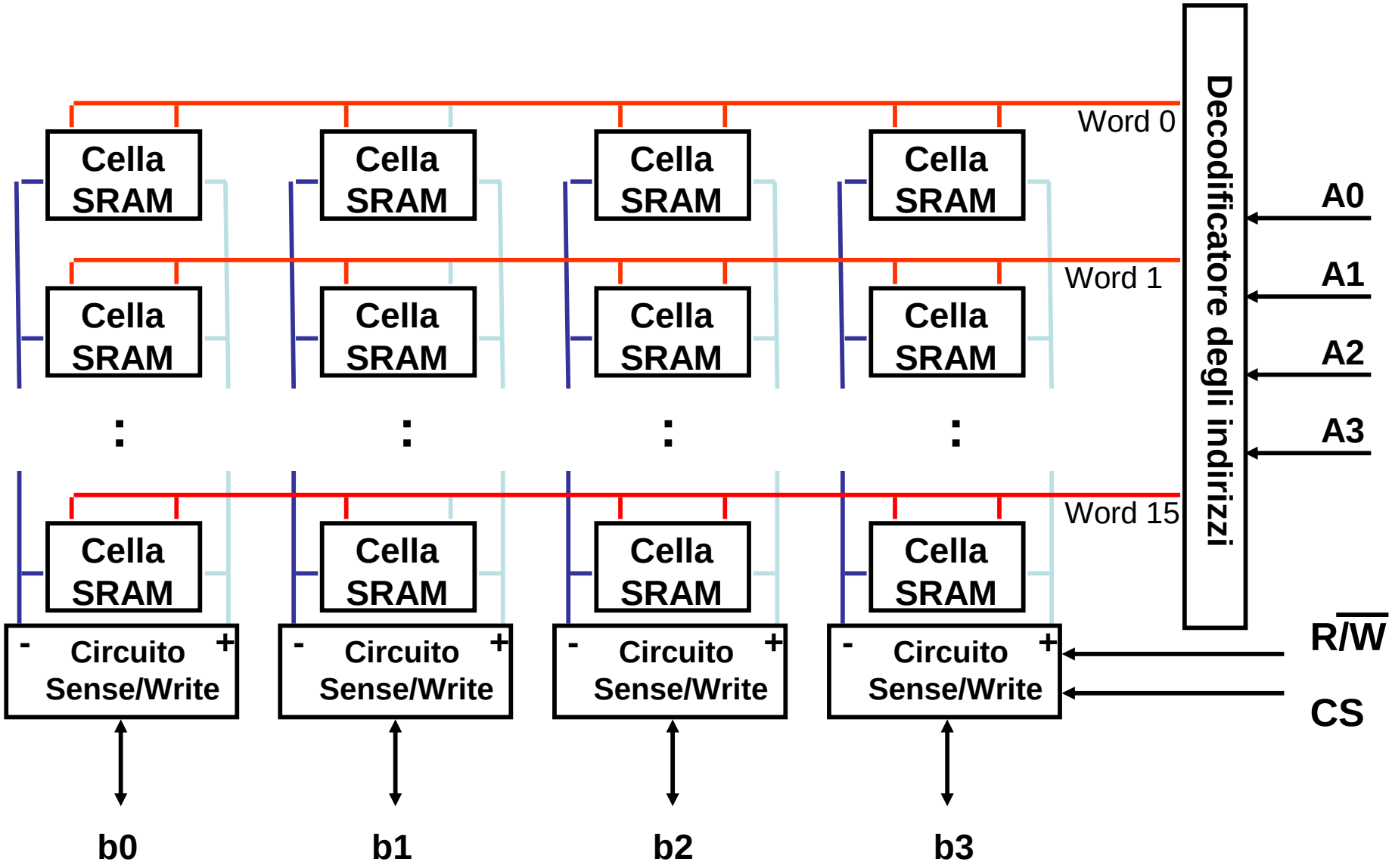
Write:

1. Vengono settate le linee di bit
   (bit=1, bit=0)
2. Si attiva la linea di parola

Read:

1. Viene attivata la linea di parola
2. Una delle linee va a massa
3. Viene valutata la differenza tra le due linee e si determina il valore memorizzato

Organizzazione di un modulo SRAM (16 word x 4 bit)



Organizzazione di un modulo SRAM (32K x 8 bit)

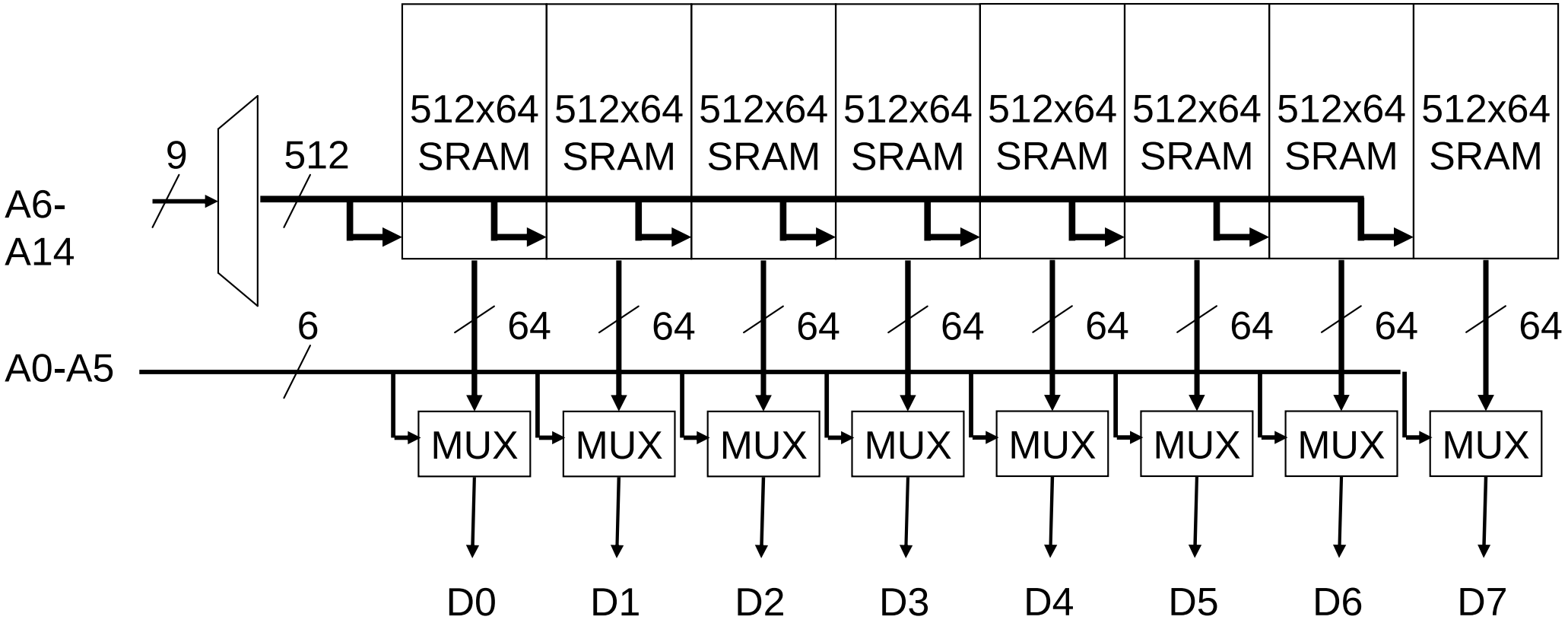
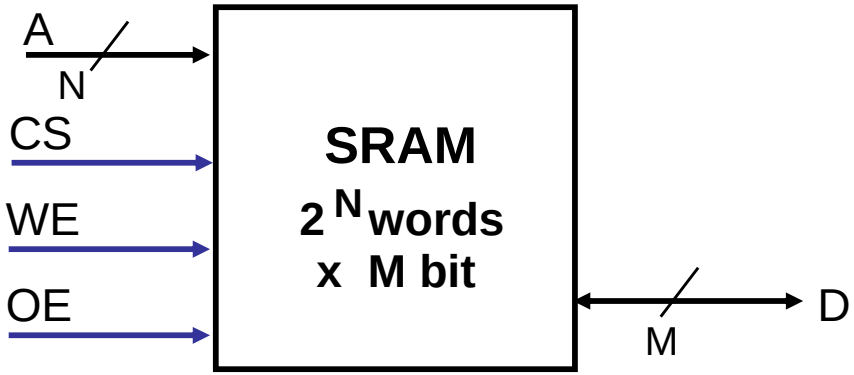


Diagramma logico di un modulo SRAM



Sono presenti due segnali di controllo:

Write Enable (WE)

Output Enable (CE)

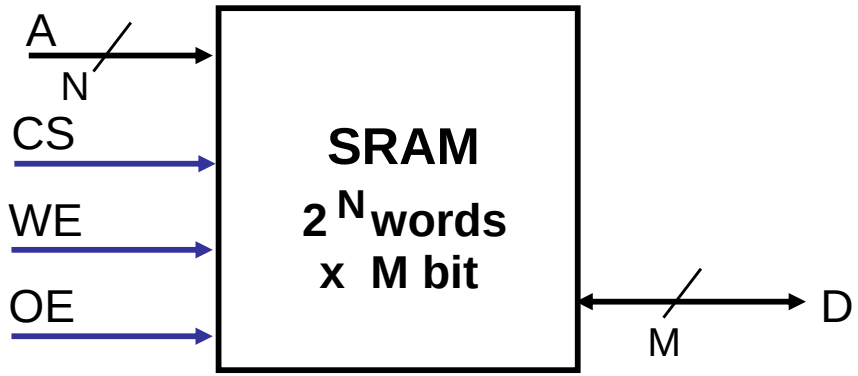
Sono segnali active low.

Le linee dati (D) sono multiplexate:

WE=0 OE=1 -> write (D agisce com ingresso)

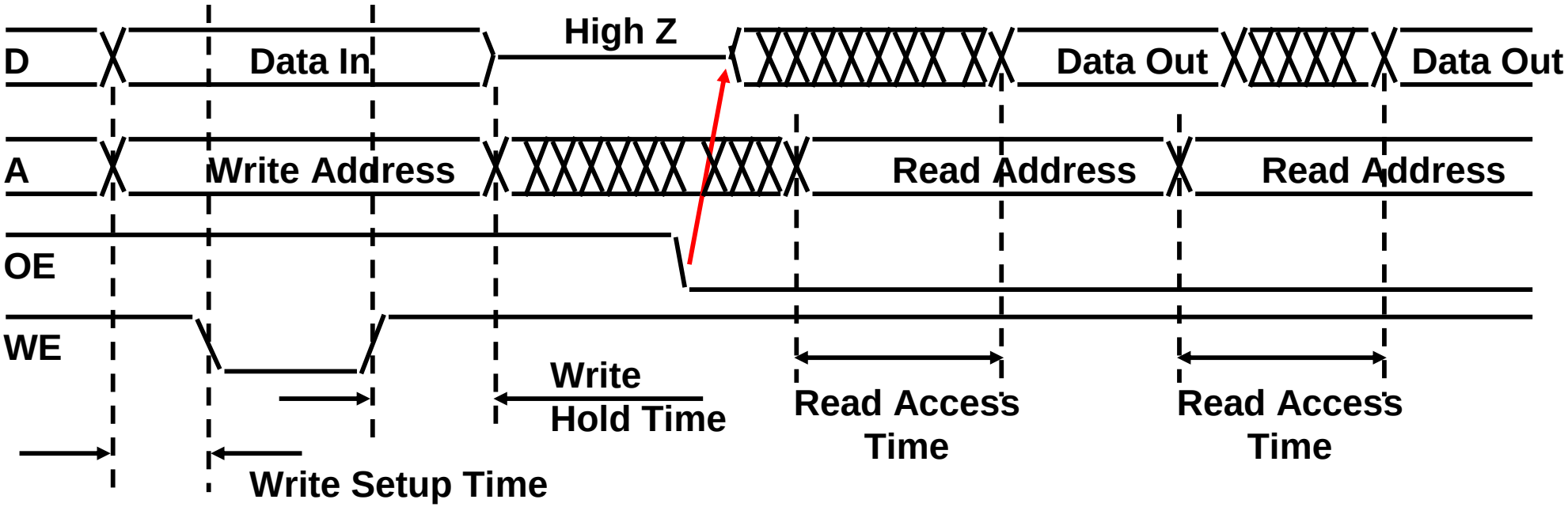
WE=1 OE=0 -> read (D agisce come uscita)

Tempificazione delle operazioni



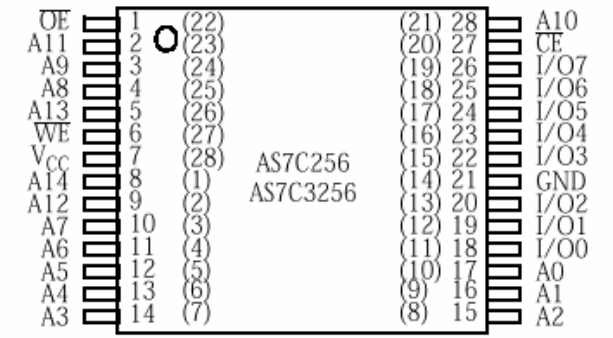
Write Timing:

Read Timing:



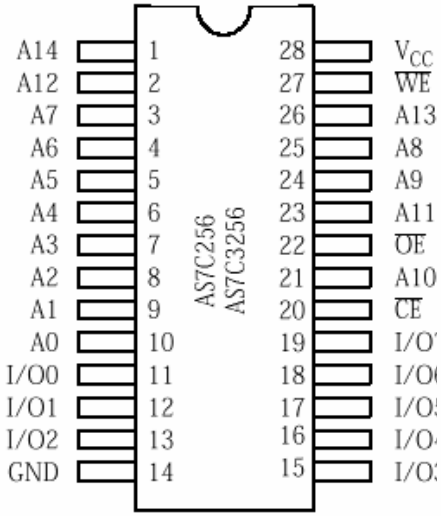
Alliance Semiconductor AS7C256
32Kx8 CMOS RAM (Common I/O)

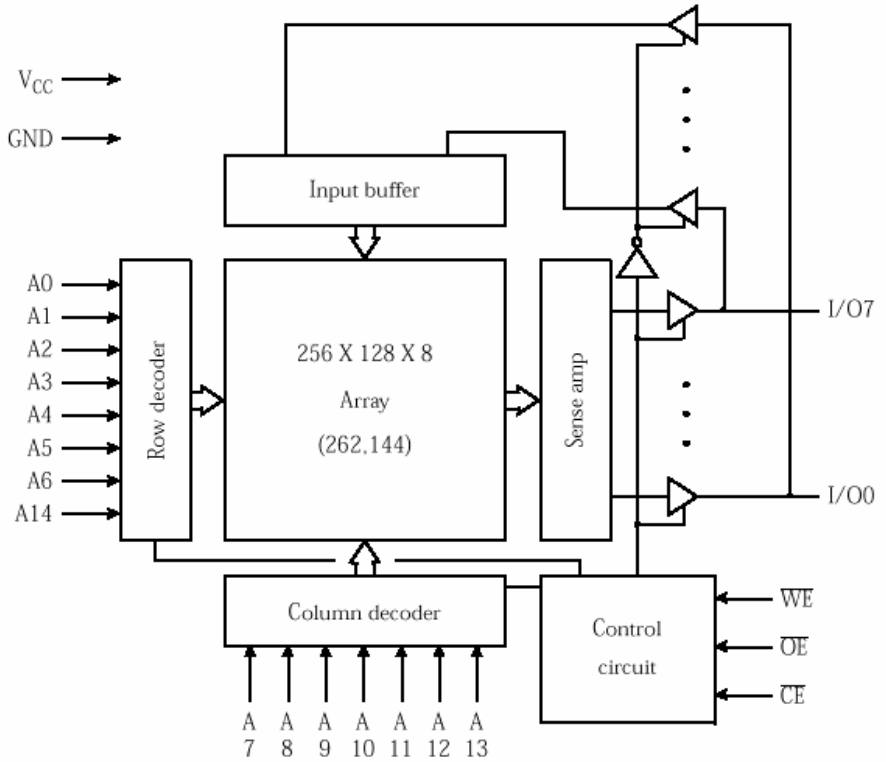
28-pin TSOP I (8×13.4)



Note: This part is compatible with both pin numbering conventions used by various manufacturers.

28-pin DIP, SOJ (300 mil)





Truth table

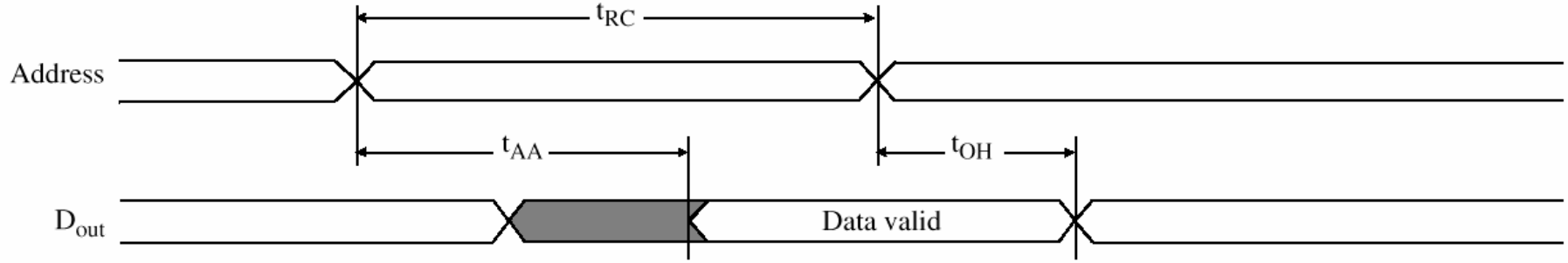
CE	WE	OE	Data	Mode
H	X	X	High Z	Standby (I_{SB}, I_{SB1})
L	H	H	High Z	Output disable (I_{CC})
L	H	L	D_{OUT}	Read (I_{CC})
L	L	X	D_{IN}	Write (I_{CC})

Key: X = Don't care, L = Low, H = High

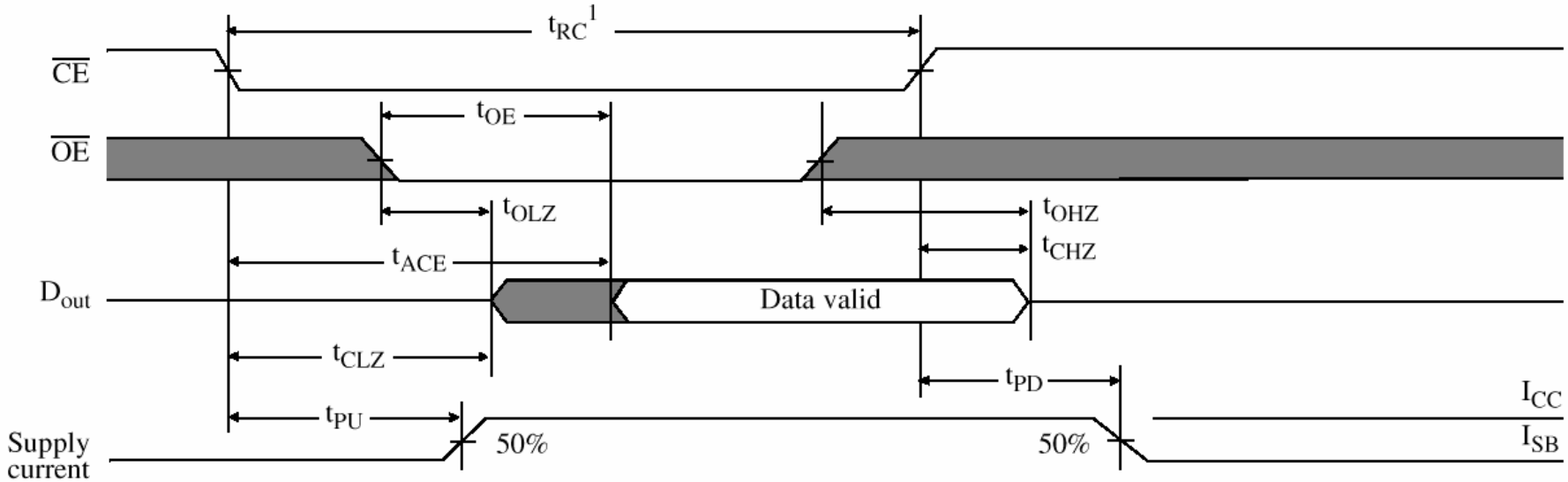
Ciclo di lettura: tempificazione

Read waveform 1 (address controlled)[3,6,7,9]

Nota: CE e OE sono a 0



Read waveform 2 ($\overline{CE}$ controlled)[3,6,8,9]



Nota: l'indirizzo deve essere valido prima o al più in corrispondenza della transizione -> 0 di CE

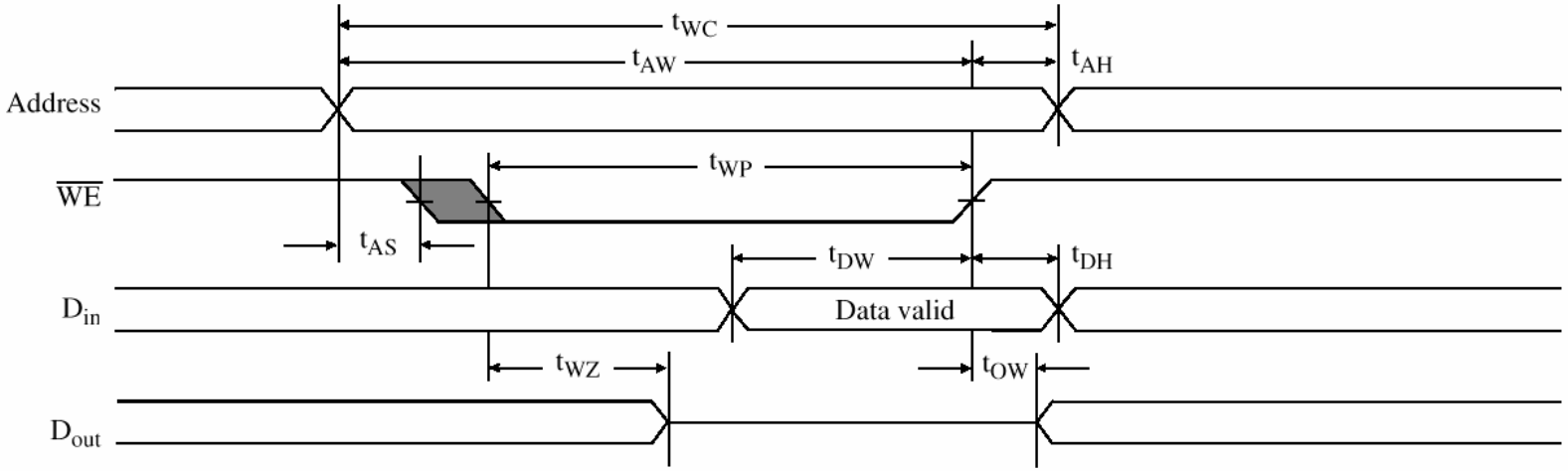
Ciclo di lettura: parametri temporali

Read cycle (over the operating range)[3,9]

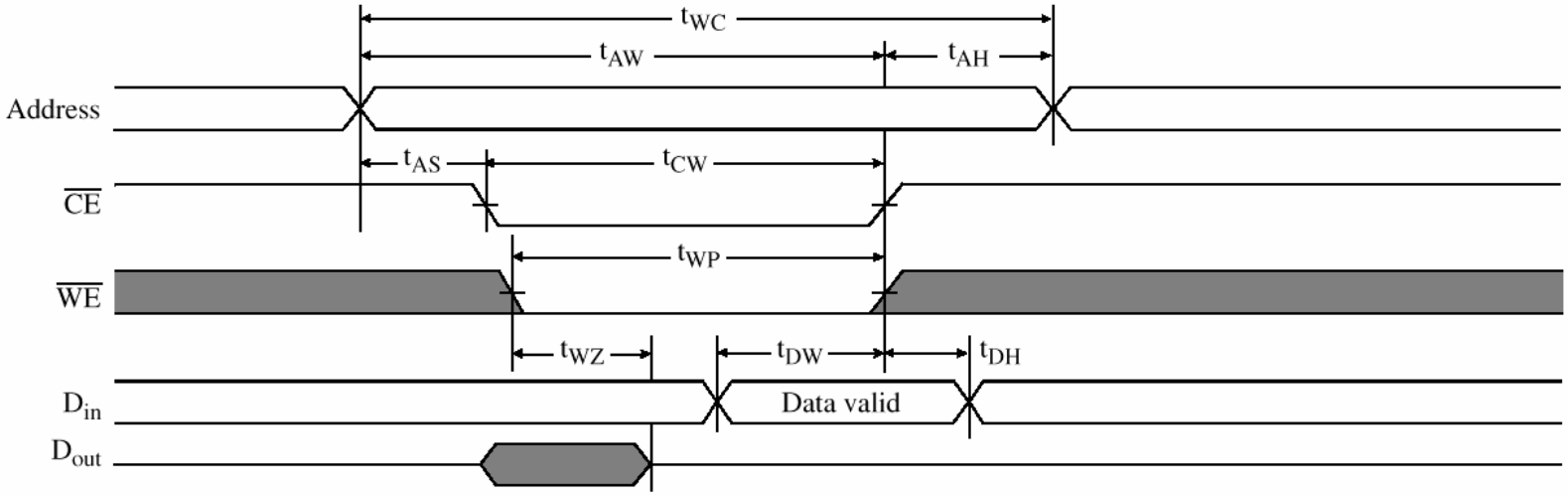
Parameter	Symbol	-12		-15		-20		Unit	Notes
		Min	Max	Min	Max	Min	Max		
Read cycle time	t_{RC}	12	–	15	–	20	–	ns	
Address access time	t_{AA}	–	12	–	15	–	20	ns	3
Chip enable ($\overline{CE}$) access time	t_{ACE}	–	12	–	15	–	20	ns	3
Output enable ($\overline{OE}$) access time	t_{OE}	–	5	–	6	–	7	ns	
Output hold from address change	t_{OH}	3	–	3	–	3	–	ns	5
$\overline{CE}$ LOW to output in low Z	t_{CLZ}	3	–	3	–	3	–	ns	4, 5
$\overline{CE}$ HIGH to output in high Z	t_{CHZ}	–	3	–	4	–	5	ns	4, 5
$\overline{OE}$ LOW to output in low Z	t_{OLZ}	0	–	0	–	0	–	ns	4, 5
$\overline{OE}$ HIGH to output in high Z	t_{OHZ}	–	3	–	4	–	5	ns	4, 5
Power up time	t_{PU}	0	–	0	–	0	–	ns	4, 5
Power down time	t_{PD}	–	12	–	15	–	20	ns	4, 5

Ciclo di scrittura: tempificazione

Write waveform 1 ($\overline{WE}$ controlled)[10,11]



Write waveform 2 ($\overline{CE}$ controlled)[10,11]



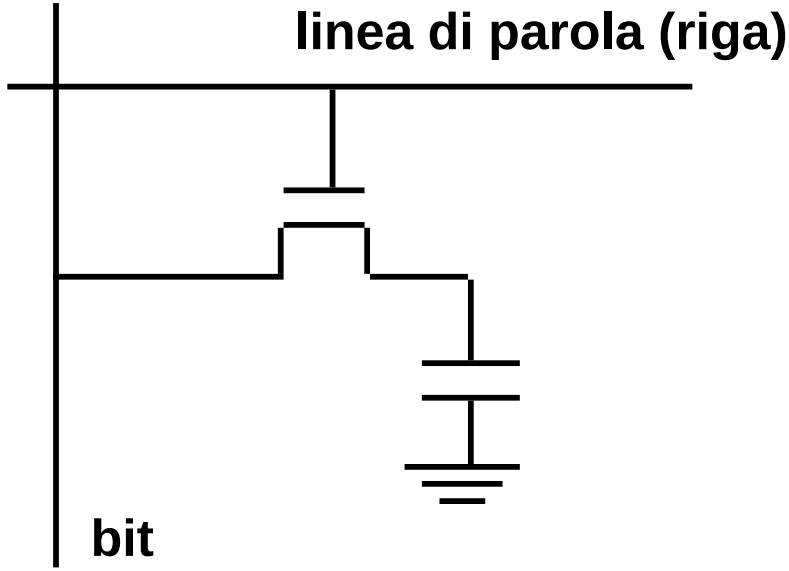
Ciclo di scrittura: parametri temporali

Write cycle (over the operating range)[11]

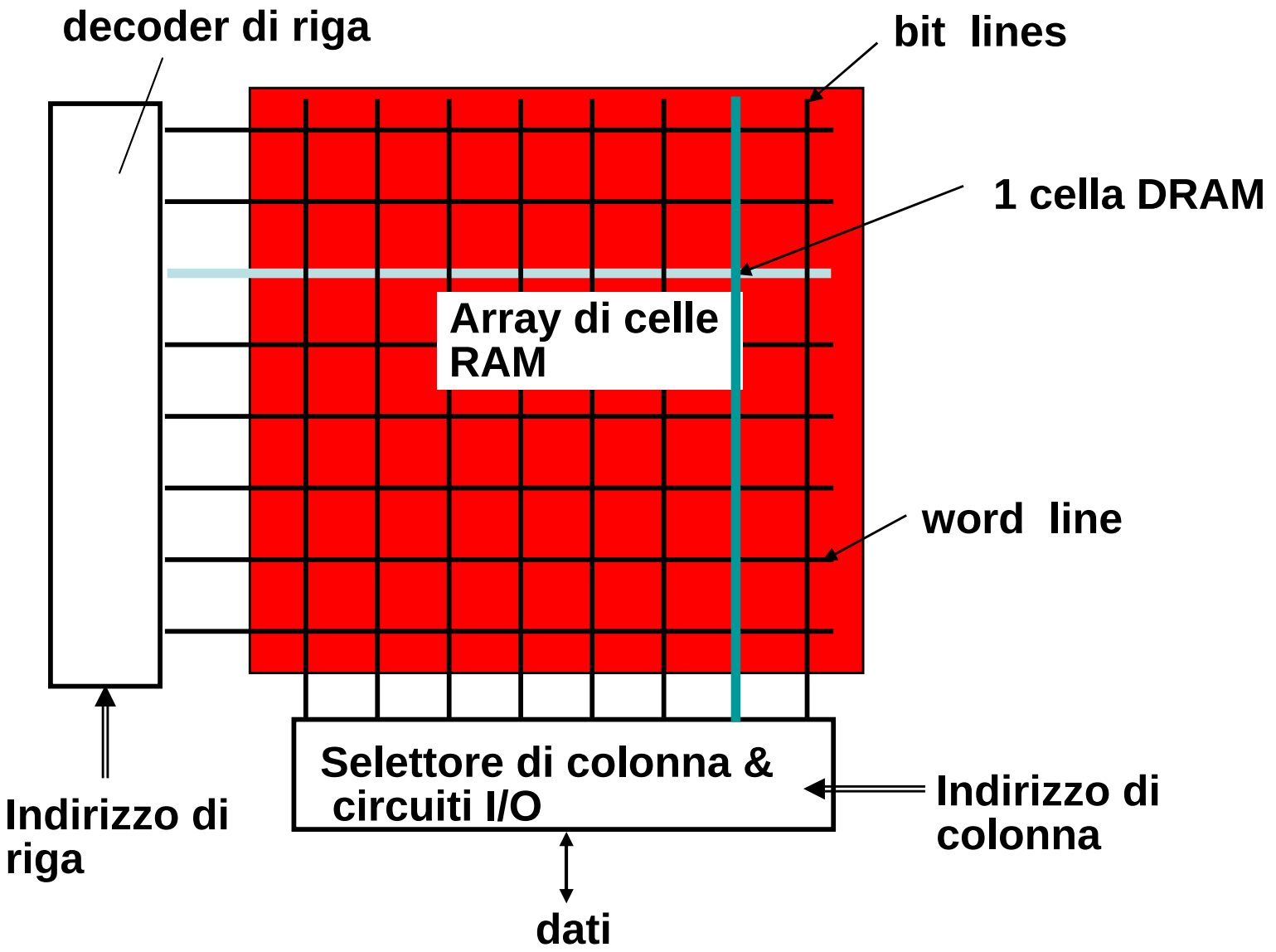
Parameter	Symbol	-12		-15		-20		Unit	Notes
		Min	Max	Min	Max	Min	Max		
Write cycle time	t_{WC}	12	–	15	–	20	–	ns	
Chip enable to write end	t_{CW}	8	–	10	–	12	–	ns	
Address setup to write end	t_{AW}	8	–	10	–	12	–	ns	
Address setup time	t_{AS}	0	–	0	–	0	–	ns	
Write pulse width	t_{WP}	8	–	9	–	12	–	ns	
Address hold from end of write	t_{AH}	0	–	0	–	0	–	ns	
Data valid to write end	t_{DW}	6	–	8	–	10	–	ns	
Data hold time	t_{DH}	0	–	0	–	0	–	ns	4, 5
Write enable to output in high Z	t_{WZ}	–	5	–	5	–	5	ns	4, 5
Output active from write end	t_{OW}	3	–	3	–	3	–	ns	4, 5

Cella di memoria RAM dinamica (1 transistor)

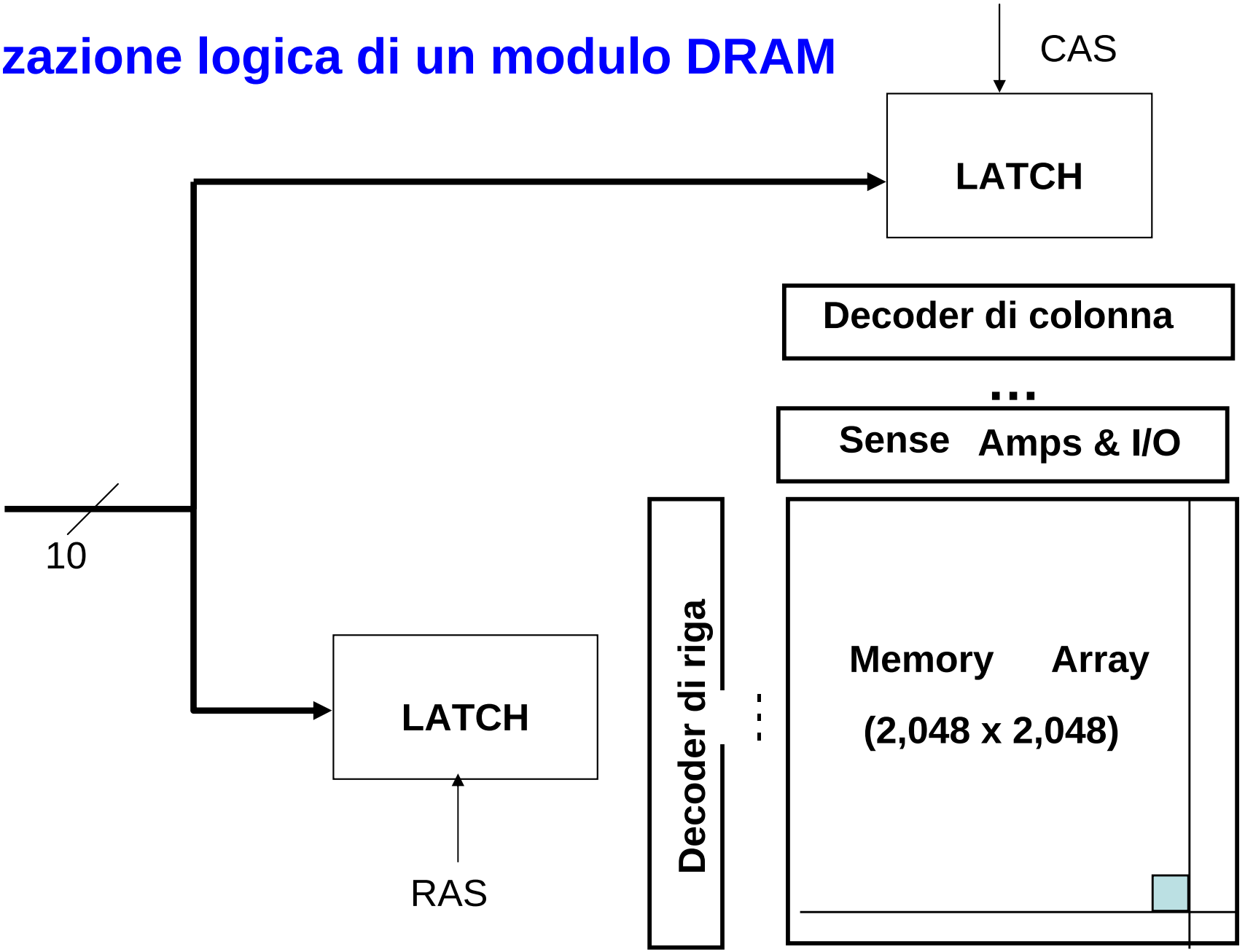
- Write:
  - 1. Viene selezionata la linea di parola
  - 2. Viene settata la linea di bit
- Read:
  - 1. La linea di bit viene portata ad una tensione media tra l'1 e lo 0
  - 2. Viene selezionata la linea di parola
  - 3. Si genera un passaggio di cariche che causa una piccola variazione di tensione
  - 4. La variazione viene misurata, determinando il valore registrato nella cella
  - 5. Viene effettuata una riscrittura del valore letto
- Refresh
  - 1. Viene effettuata una lettura a vuoto della cella.



Modulo DRAM

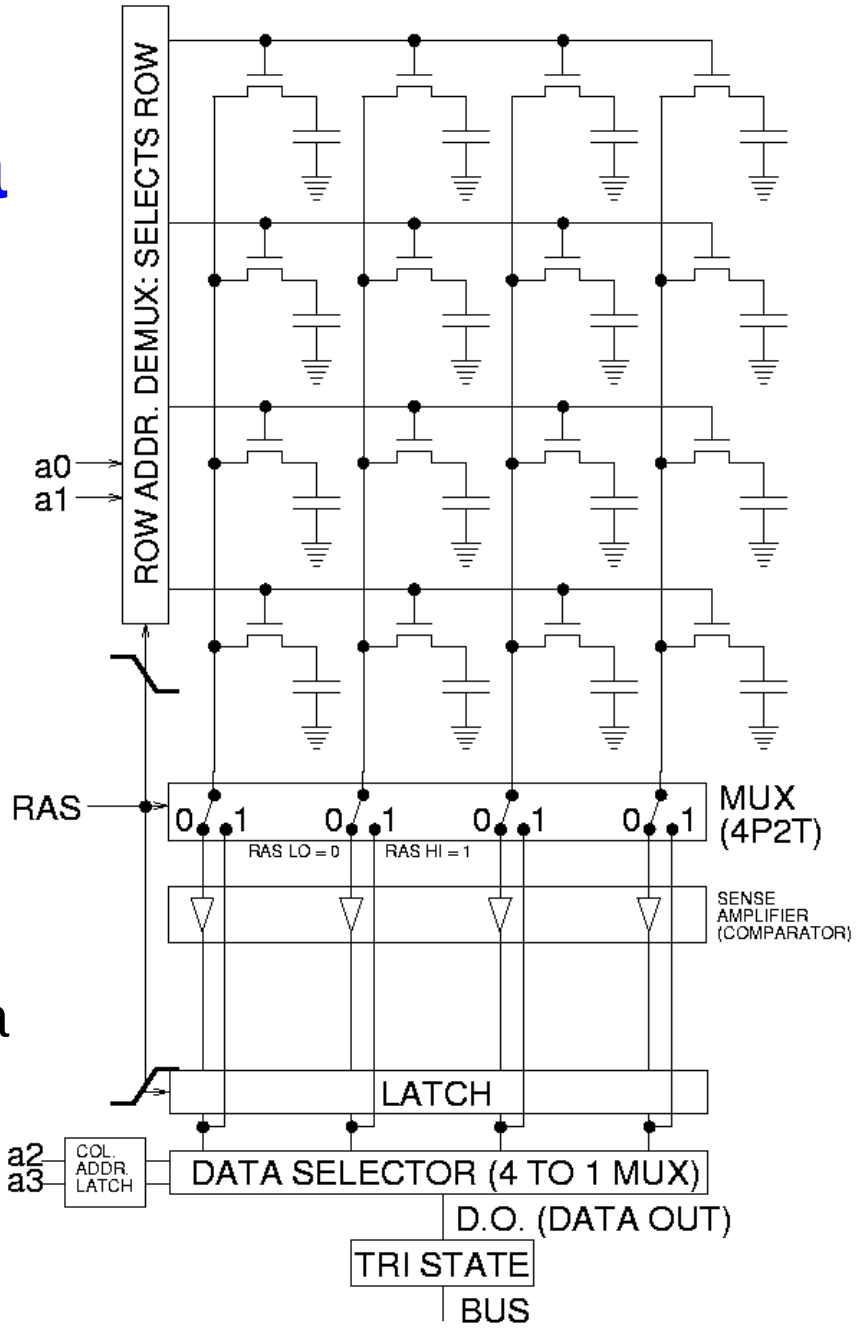


Organizzazione logica di un modulo DRAM



DRAM: operazione di lettura

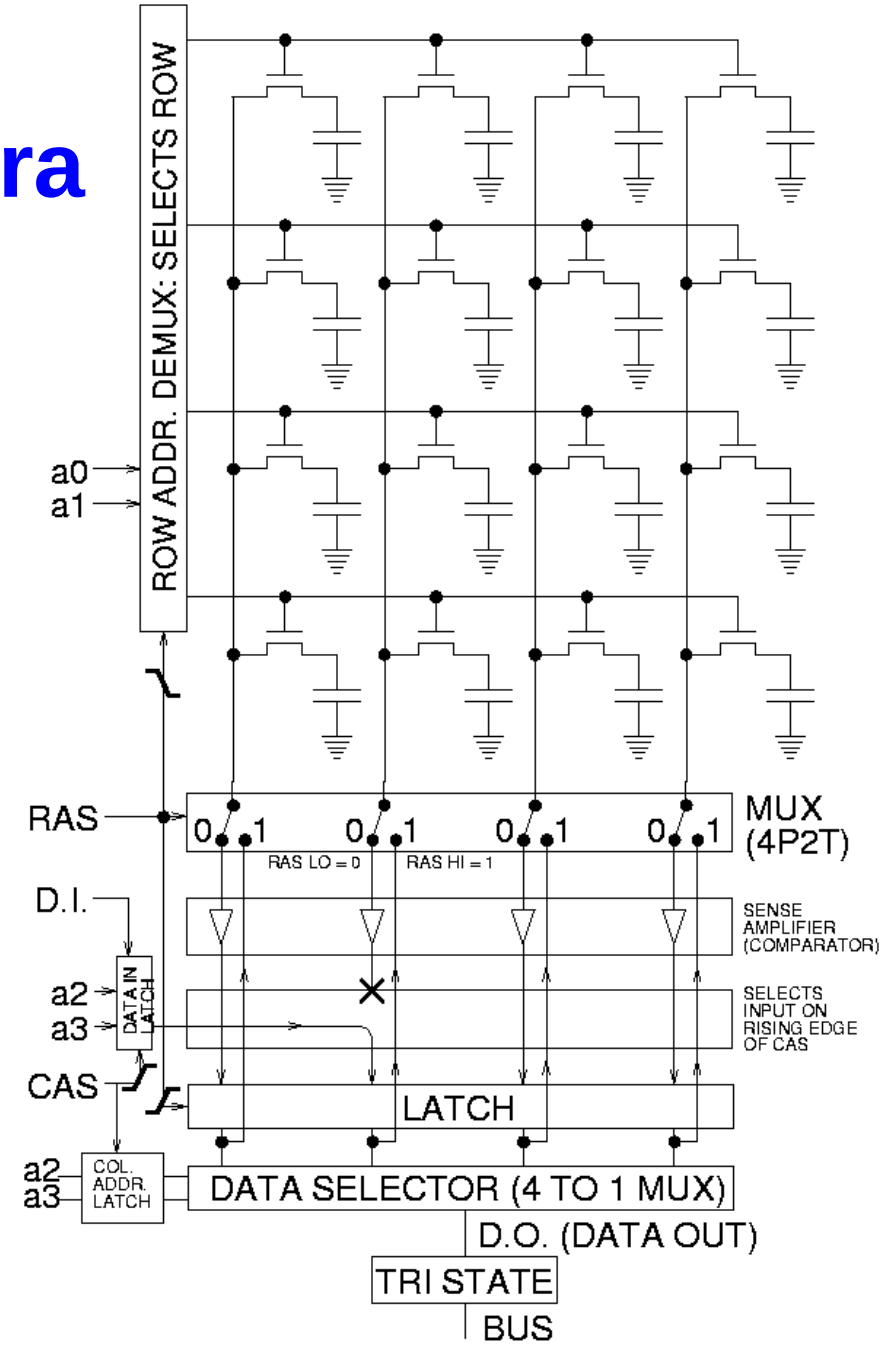
La riga della cella selezionata è attivata, accendendo i transistor e connettendo i condensatori di quella riga alle linee di percezione (*sense lines*). Queste portano agli amplificatori di percezione (*sense amplifiers*) che individuano il valore del bit memorizzato. Il valore corrispondente alla colonna scelta è quindi selezionato e connesso all'output. Alla fine del ciclo di lettura, i valori sulla riga devono essere ricaricati nei condensatori, che si sono scaricati durante l'operazione. Questa riscrittura è realizzata attivando la riga e connettendo i valori da scrivere sulle sense lines, le quali caricano i condensatori ai valori desiderati.



(grazie al prof. Steve Mann per la figura)

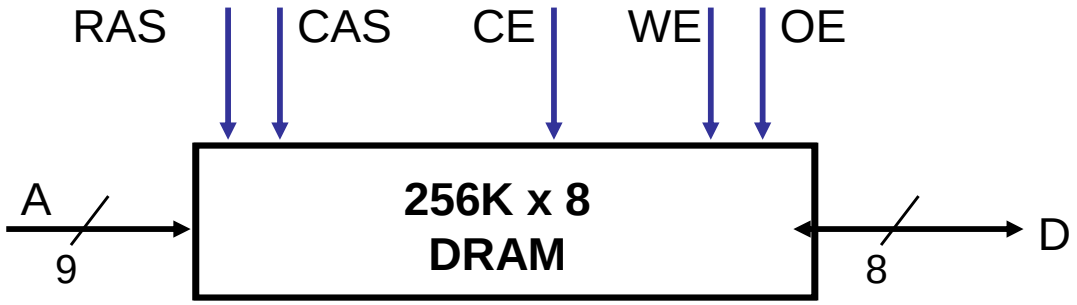
DRAM: operazione di scrittura

Durante la scrittura su una particolare cella, l'intera riga viene letta, viene modificato il valore della cella prescelta e quindi l'intera riga viene riscritta.



(grazie al prof. Steve Mann per la figura)

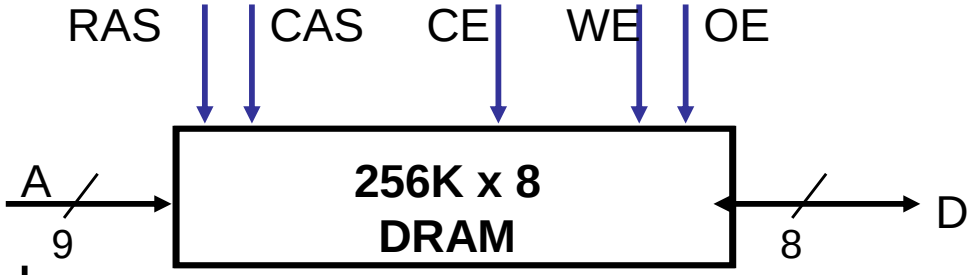
Diagramma logico di un modulo DRAM

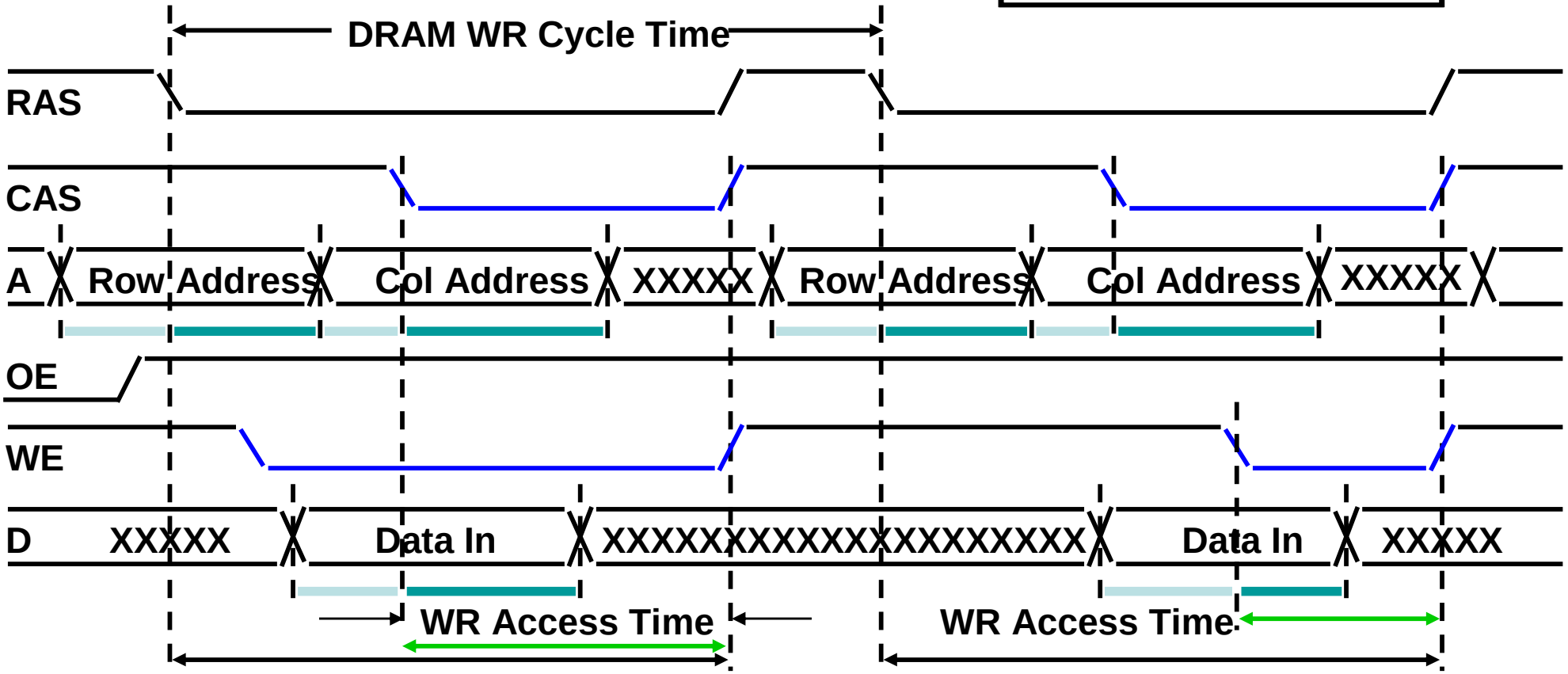


- I segnali di controllo (RAS, CAS, WE, OE, CE) sono tutti active low
- Le linee dati (D) sono multiplexate:
  - WE=0 OE=1 -> write (D agisce come ingresso)
  - WE=1 OE=0 -> read (D agisce come uscita)
- Gli indirizzi di linea e di colonna hanno in comune le stesse linee (A)
  - RAS=0 -> le linee A sono acquisite come indirizzo di riga
  - CAS=0 -> le linee A sono acquisite come indirizzo di colonna
  - RAS/CAS attive sul fronte

Tempificazione della scrittura

- Ogni accesso alla DRAM inizia con RAS ->0
- 2 modi di scrittura: early write o late write (rispetto a CAS)



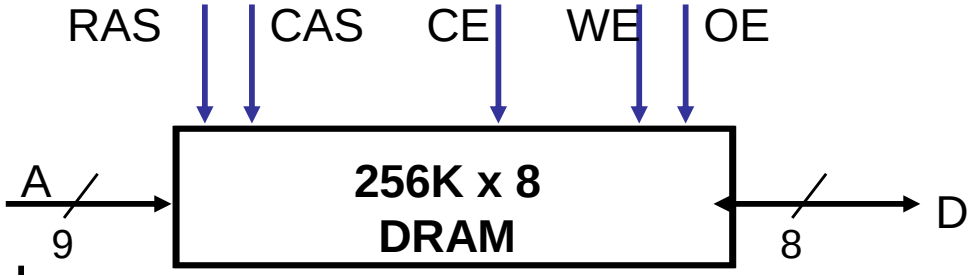


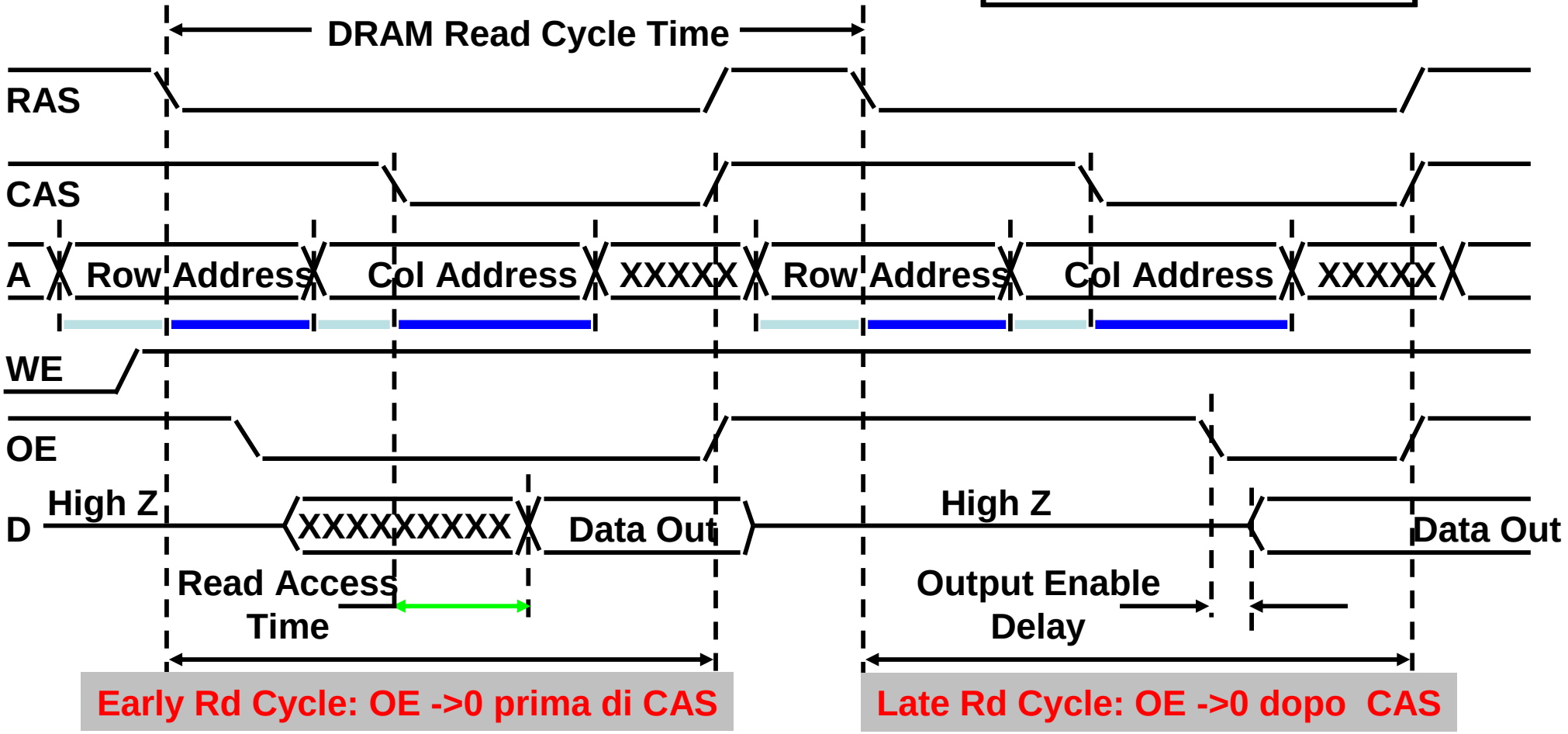
Early Wr Cycle: WE ->0 prima di CAS

Late Wr Cycle: WE ->0 dopo CAS

Tempificazione della lettura

- Ogni accesso alla DRAM inizia con RAS ->0
- 2 modi di lettura: early read o late read (rispetto a CAS)





Parametri temporali di una DRAM

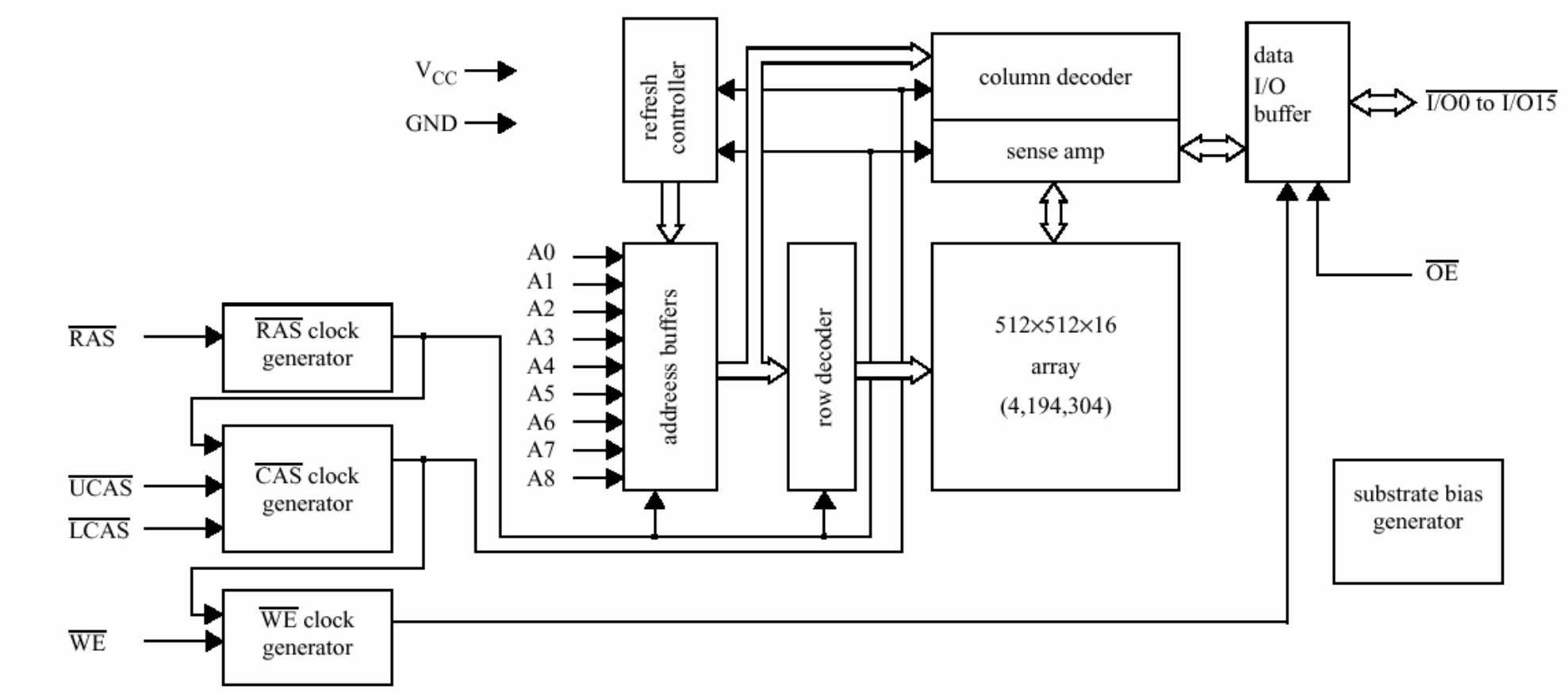
- t_{RAC}: tempo minimo tra l'asserzione di RAS e la disponibilità del dato (tempo di riferimento per stimare la velocità della DRAM)
- t_{RC}: tempo minimo tra l'inizio dell'accesso ad una riga e l'inizio dell'accesso a riga successivo.
- t_{CAC}: tempo minimo tra l'asserzione di CAS e la disponibilità del dato.
- t_{PC}: tempo minimo tra l'inizio dell'accesso ad una colonna e l'inizio dell'accesso successivo.

	t_{RAC}	t_{RC}	t_{CAC}	t_{PC}
DRAM 4 Mbit (1997)	60 ns	110 ns	15 ns	35 ns
DRAM 4 Mbit (F.P.) (fine 1999)	25 ns	40 ns	7 ns	12 ns

Prestazioni di una DRAM

- Una DRAM da 60 ns (25 ns) può:
  - realizzare un accesso a riga ogni 110 ns (40 ns).
  - realizzare un accesso a colonna in 15 ns (7 ns); il tempo tra due accessi successivi a colonna è, però, di almeno 35 ns (12 ns).
- A questi bisogna aggiungere i tempi necessari per il trasferimento dell'indirizzo dal processore, per la gestione del controllore di memoria, per la gestione del bus, ...

Alliance Semiconductor AS4C256K16F0
256Kx16 CMOS DRAM (fast page mode)
Diagramma Logico



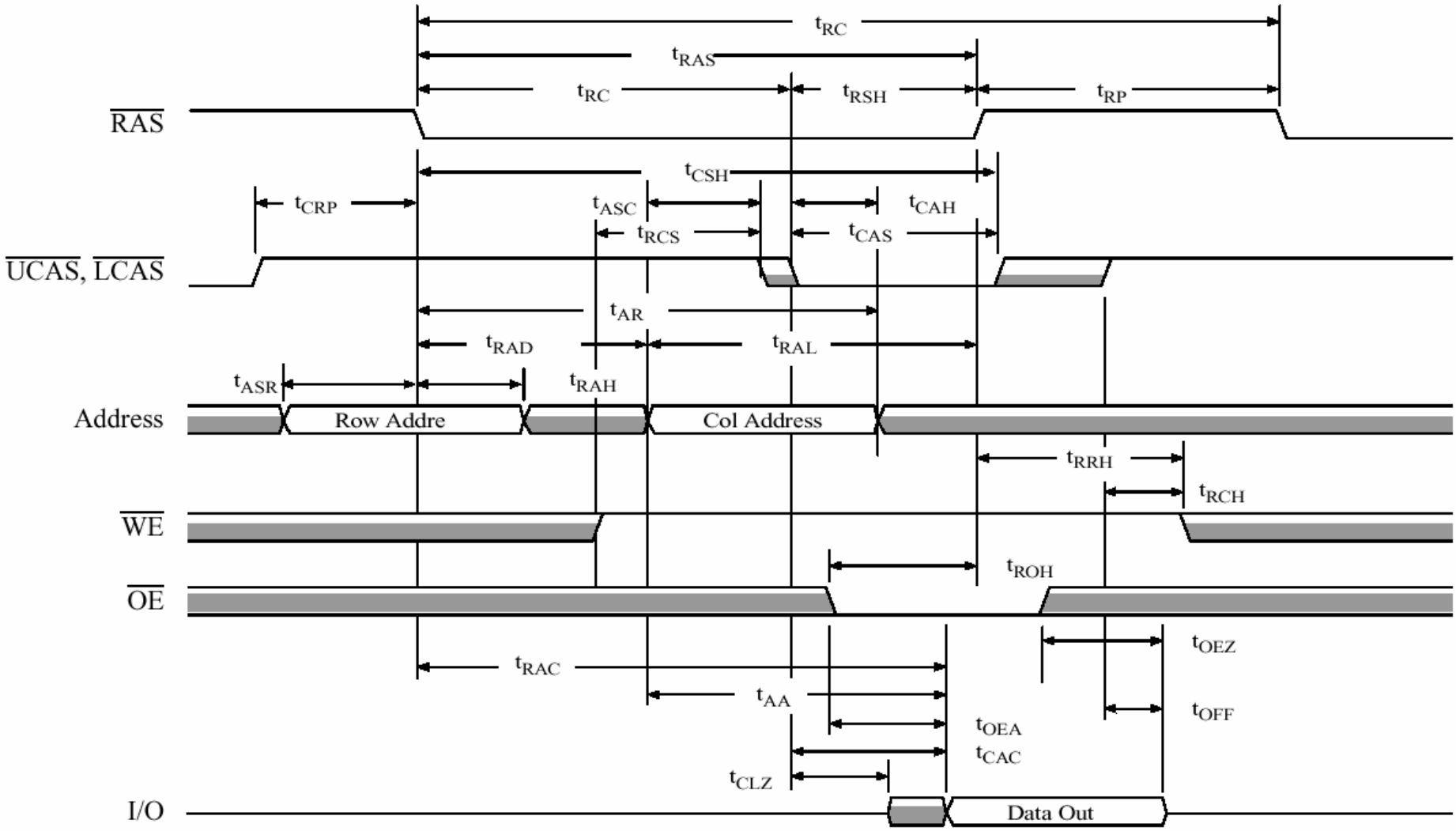
Alliance Semiconductor AS4C256K16F0
256Kx16 CMOS DRAM (fast page mode)
Caratteristiche

Selection guide

	Symbol	AS4C256K16F0-25	AS4C256K16F0-30	AS4C256K16F0-35	AS4C256K16F0-50	Unit
Maximum $\overline{RAS}$ access time	t_{RAC}	25	30	35	50	ns
Maximum column address access time	t_{CAA}	12	16	18	25	ns
Maximum $\overline{CAS}$ access time	t_{CAC}	7	10	10	10	ns
Maximum output enable ($\overline{OE}$) access time	t_{OEA}	7	10	10	10	ns
Minimum read or write cycle time	t_{RC}	40	65	70	85	ns
Minimum EDO page mode cycle time	t_{PC}	12	12	14	25	ns
Maximum operating current	I_{CC1}	200	180	160	140	mA
Maximum CMOS standby current	I_{CC2}	2.0	2.0	2.0	2.0	mA

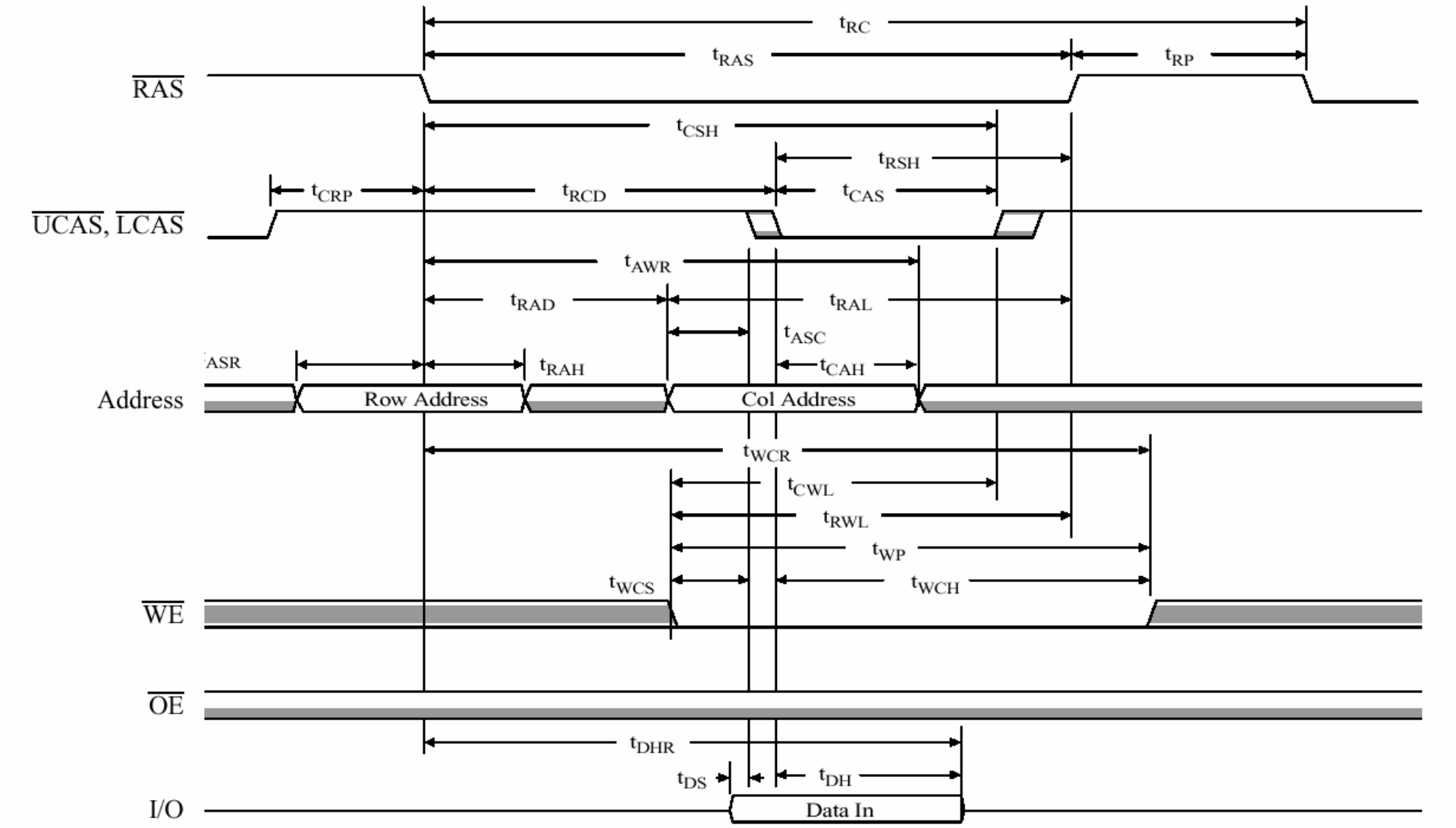
Ciclo di lettura: tempificazione

Read cycle waveform



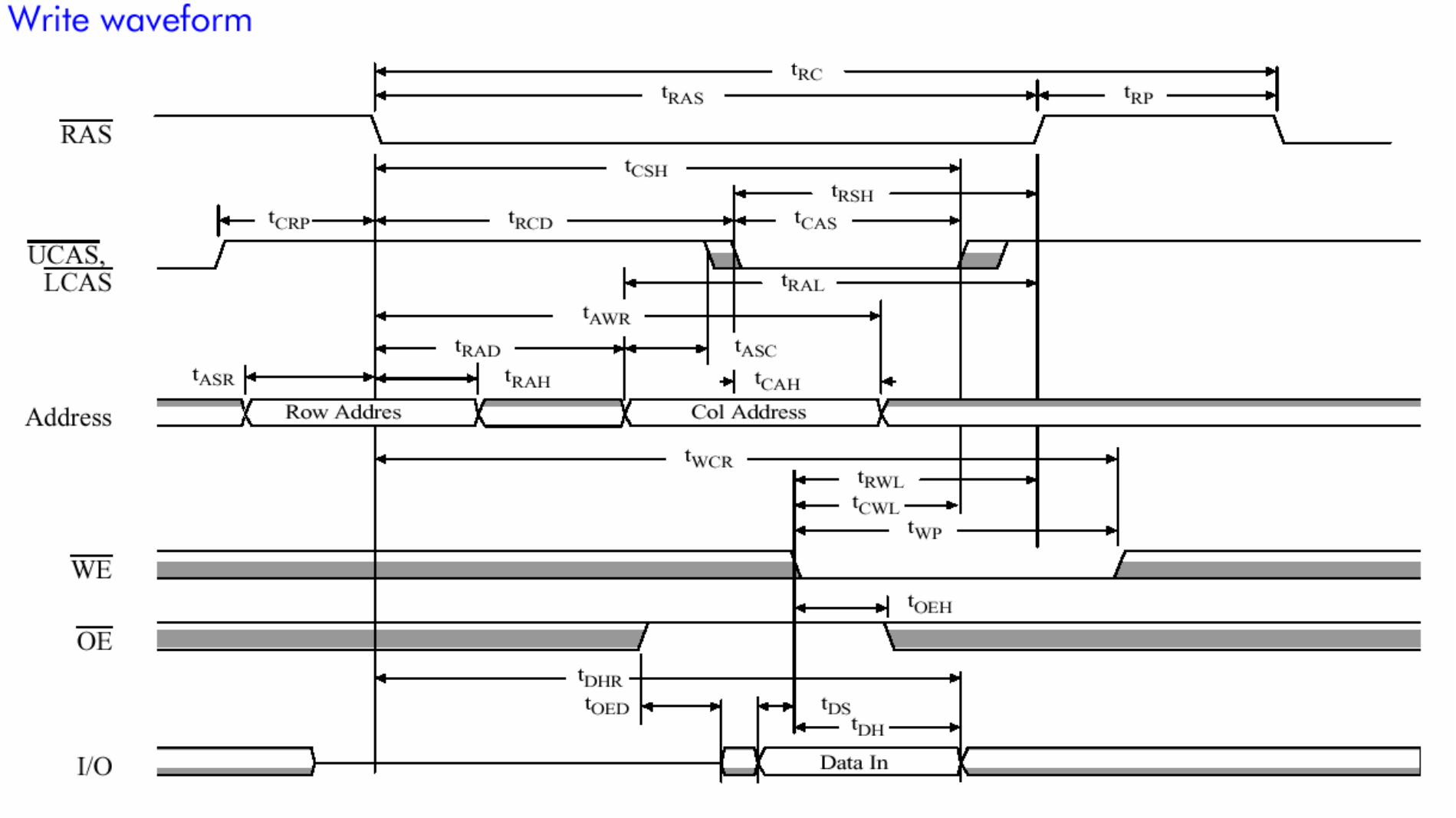
Ciclo di scrittura early write: tempificazione

Early write waveform

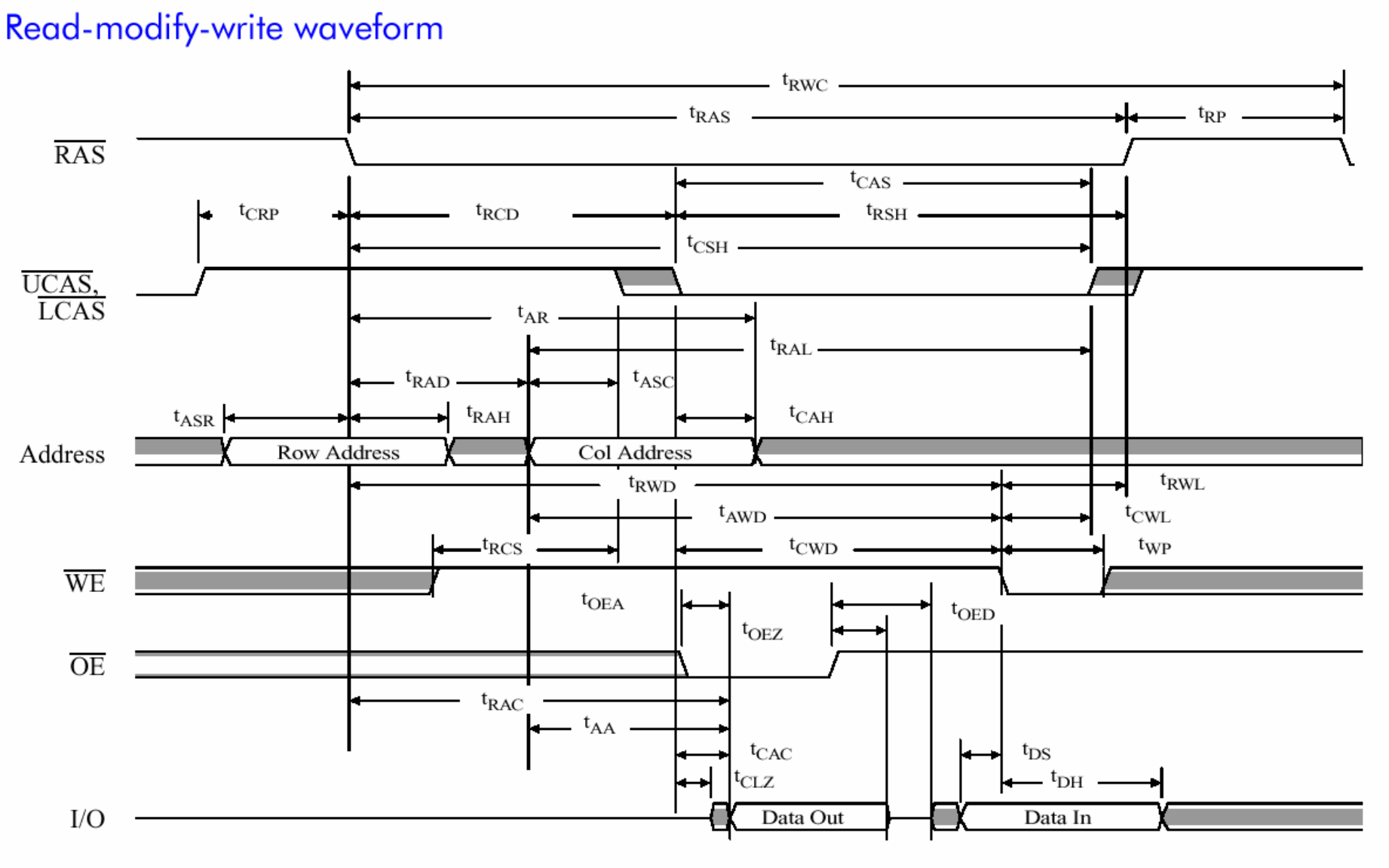


Ciclo di scrittura late write: tempificazione

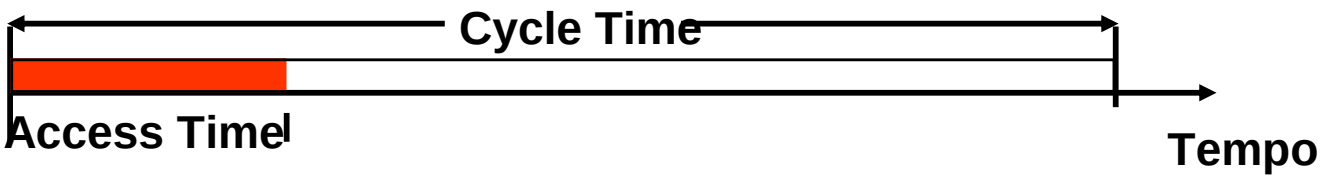
Write waveform



Ciclo di lettura/modifica/scrittura: tempificazione

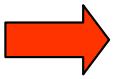


Che cosa limita l'ampiezza di banda della DRAM ?

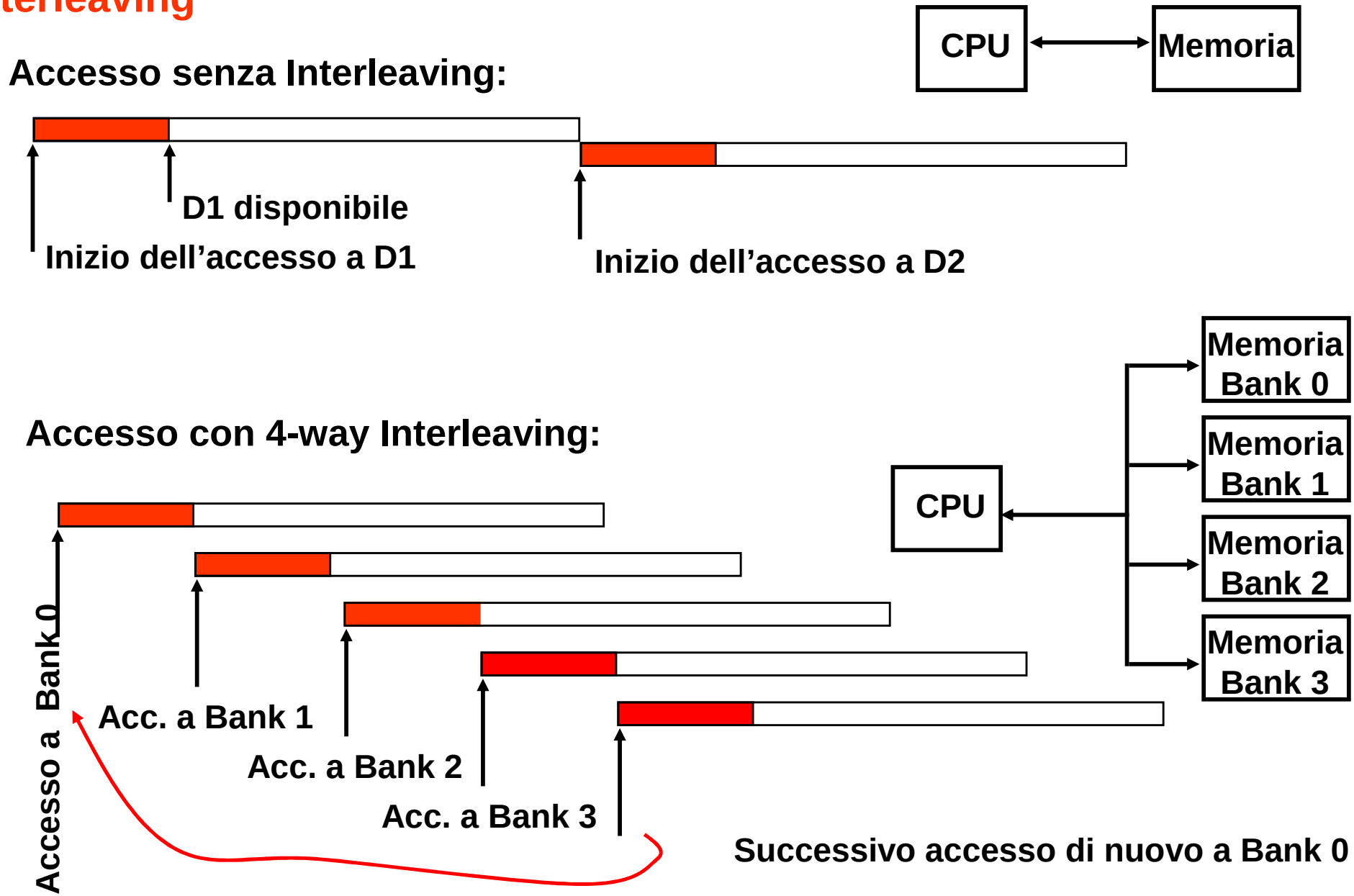


- DRAM (Read/Write) Cycle Time >> DRAM (Read/Write) Access Time
  - circa 2:1
- DRAM (Read/Write) Cycle Time :
  - Con quale frequenza si può iniziare un accesso ?
- DRAM (Read/Write) Access Time:
  - Quanto velocemente si completa il trasferimento, una volta avviato ?

Limitata ampiezza di banda della DRAM

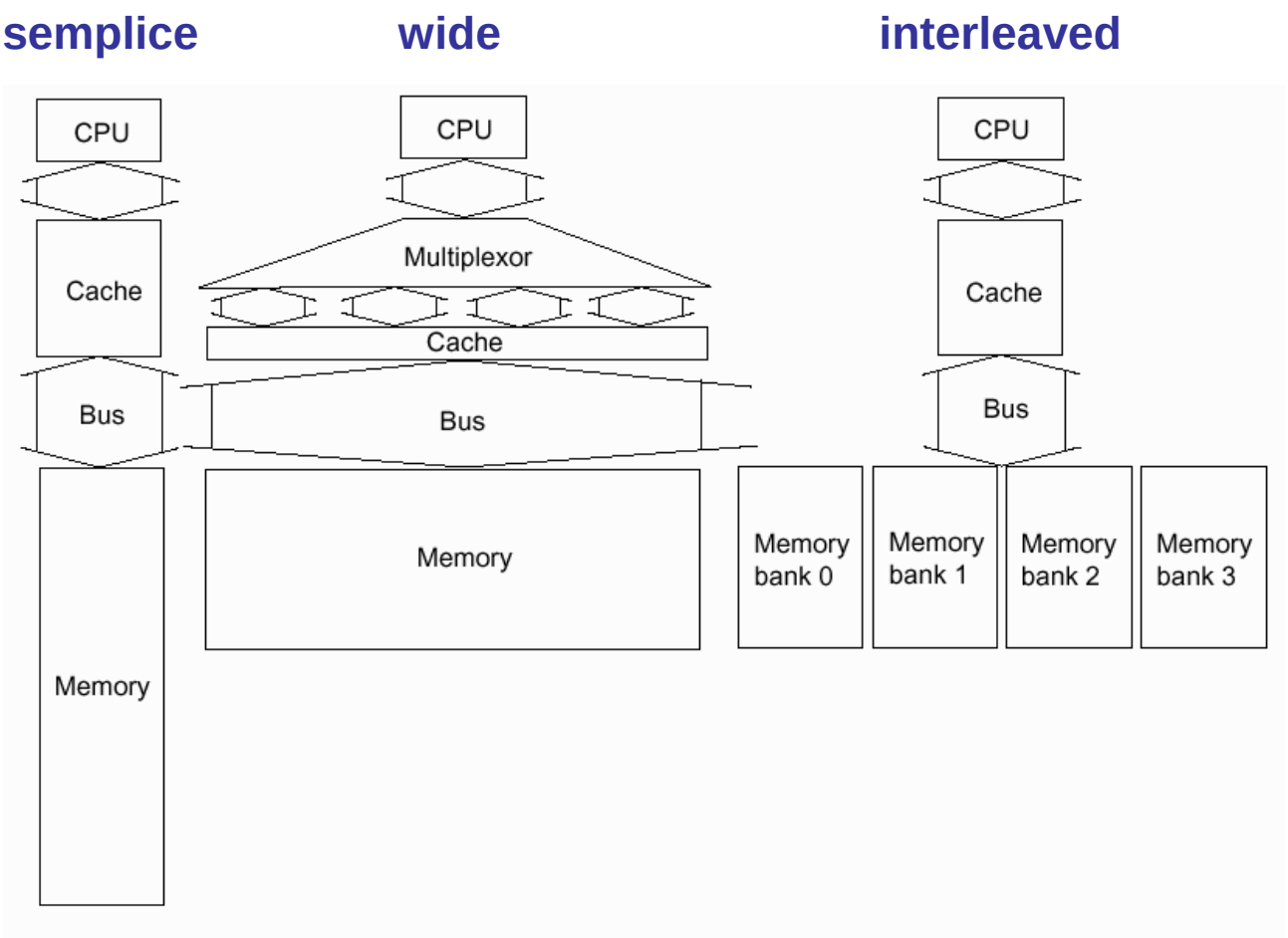


Interleaving



Tecniche di organizzazione della memoria centrale

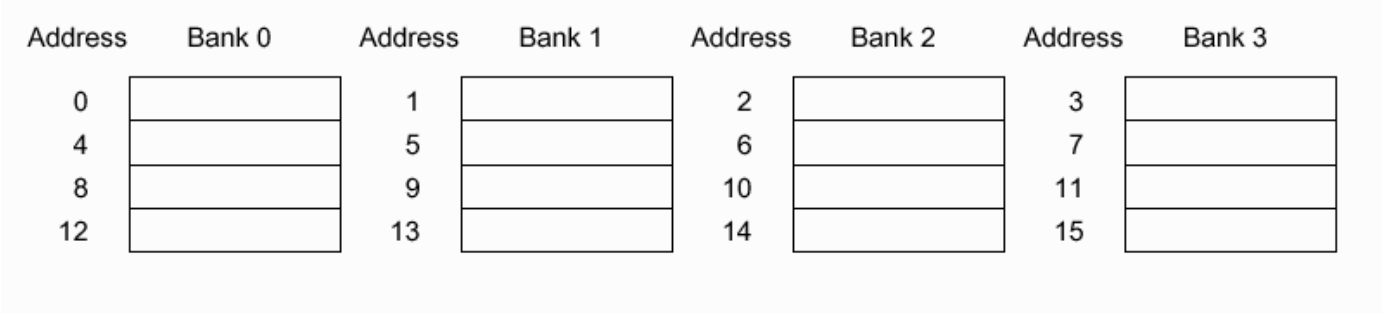
- **Semplice**:
  - CPU, Cache, Bus, Memoria con lo stesso parallelismo (32 bits)
- **Wide**:
  - CPU<->Mux parall. 1 word; Mux<->Cache, Bus, Memoria parall. N words
- **Interleaved**:
  - CPU, Cache, Bus parall. 1 word: Memoria a N moduli



Esempio: trasferimento di un blocco di 32 byte

- Bus dati a 32 bit (4 byte)
- Tempi di trasferimento (cicli di clock)
  - 1 per inviare l'indirizzo,
  - 6 per l'accesso
  - 1 per inviare il dato
- blocchi con parole da 4 byte

- ***Semplice*** = 8 x (1+6+1) = 64
- ***Wide*** = 1 + 6 + 1 = 8
- ***Interleaved*** = 1 + 6 + 8x1 = 15

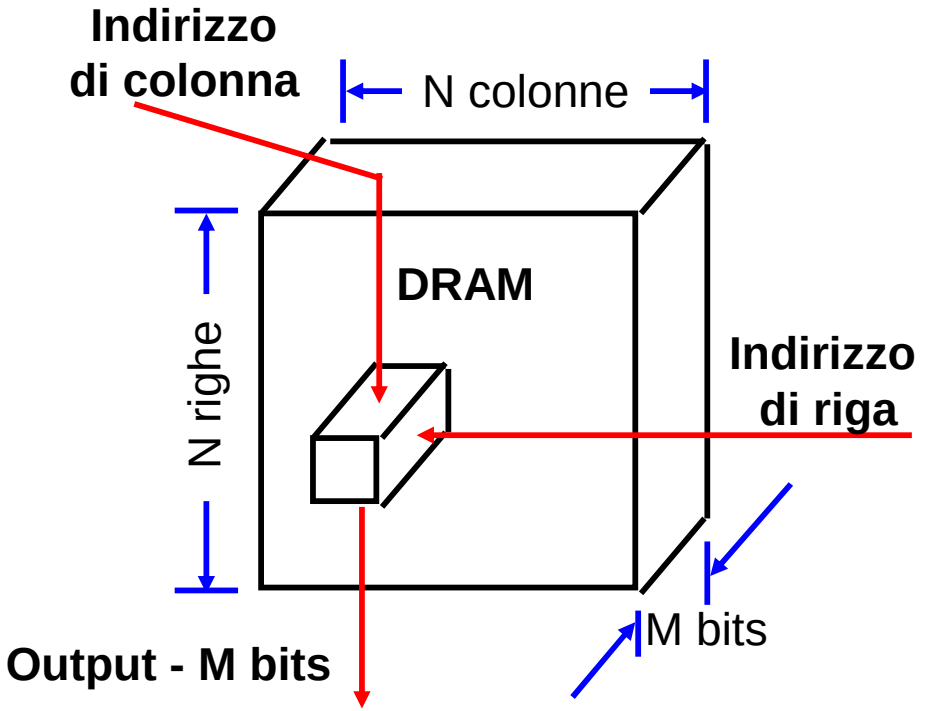


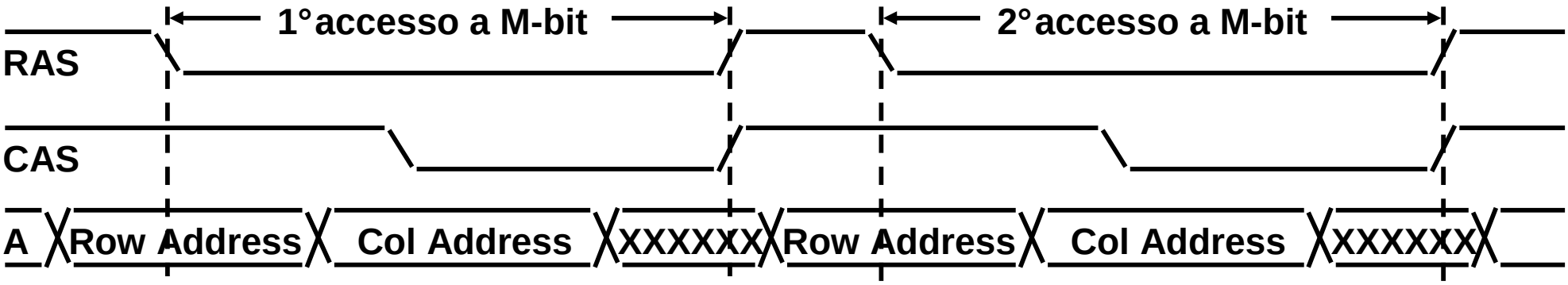
DRAM: Sviluppi delle architetture

- **Architetture asincrone**
  - Fast Page Mode
  - Extended Data Out (EDO)
  - Burst Edo
- **Architetture sincrone**
  - Synchronous DRAM (SDRAM)
  - RAMBUS DRAM
- **Architetture basate su protocollo**
  - SyncLink DRAM (SLDRAM)
  - Direct RAMBUS DRAM (DRDRAM)
- **Progetti di ricerca**
  - Intelligent RAM (IRAM) - Univ. Berkeley

DRAM Fast Page (1/2)

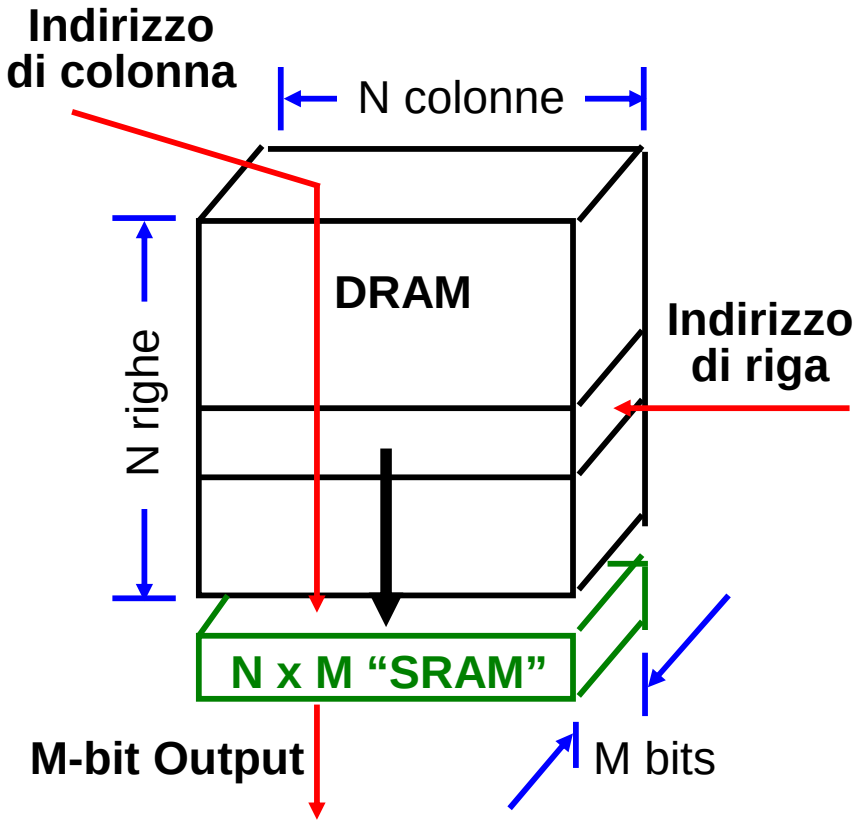
- **Organizzazione di un modulo DRAM tradizionale**:
  - N righe x N colonne x M-bit
  - Lettura e scrittura di M bit alla volta
  - Ogni trasferimento di M-bit richiede un ciclo RAS / CAS
- **Modulo DRAM con modalità Fast Page**
  - N x M "registri" per salvare una riga

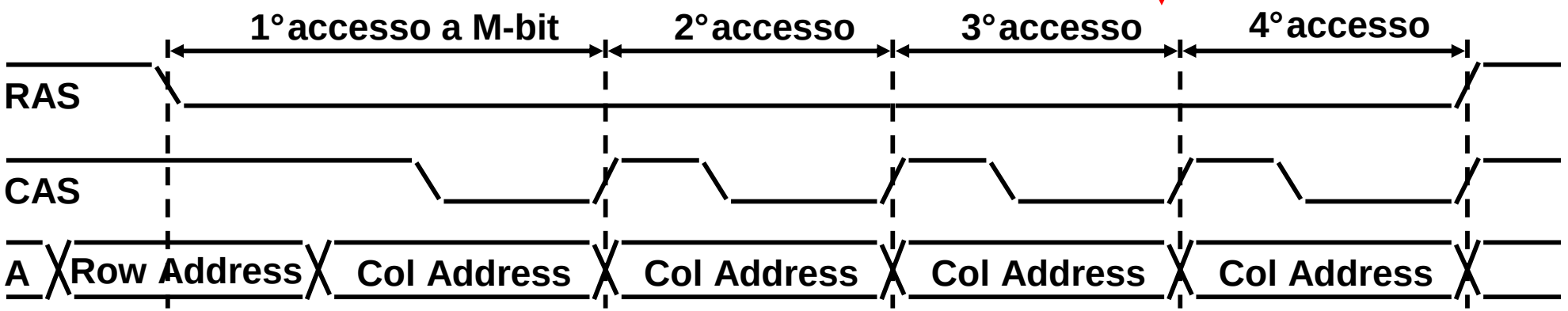




DRAM Fast Page (2/2)

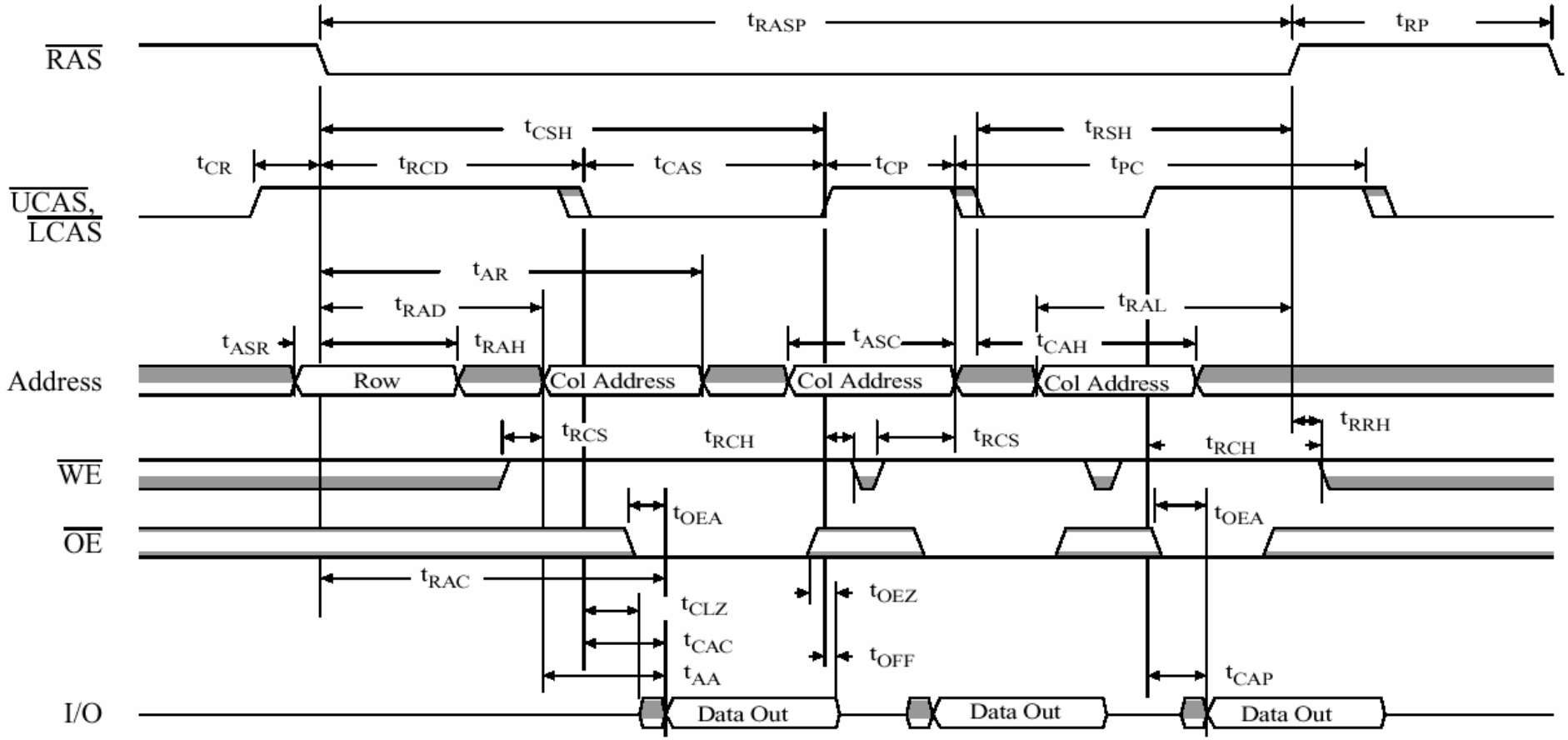
- **Fast Page Mode DRAM**
  - N x M registrin“SRAM” per salvare una riga
- Dopo che una riga è stata memorizzata
  - Viene richiesto solo CAS per accedere ad altri blocchi da M bit su quella riga
  - RAS rimane asserito mentre viene pilotato CAS per tempificare il trasferimento
- EDO RAM
  - una estensione della modalità fast page





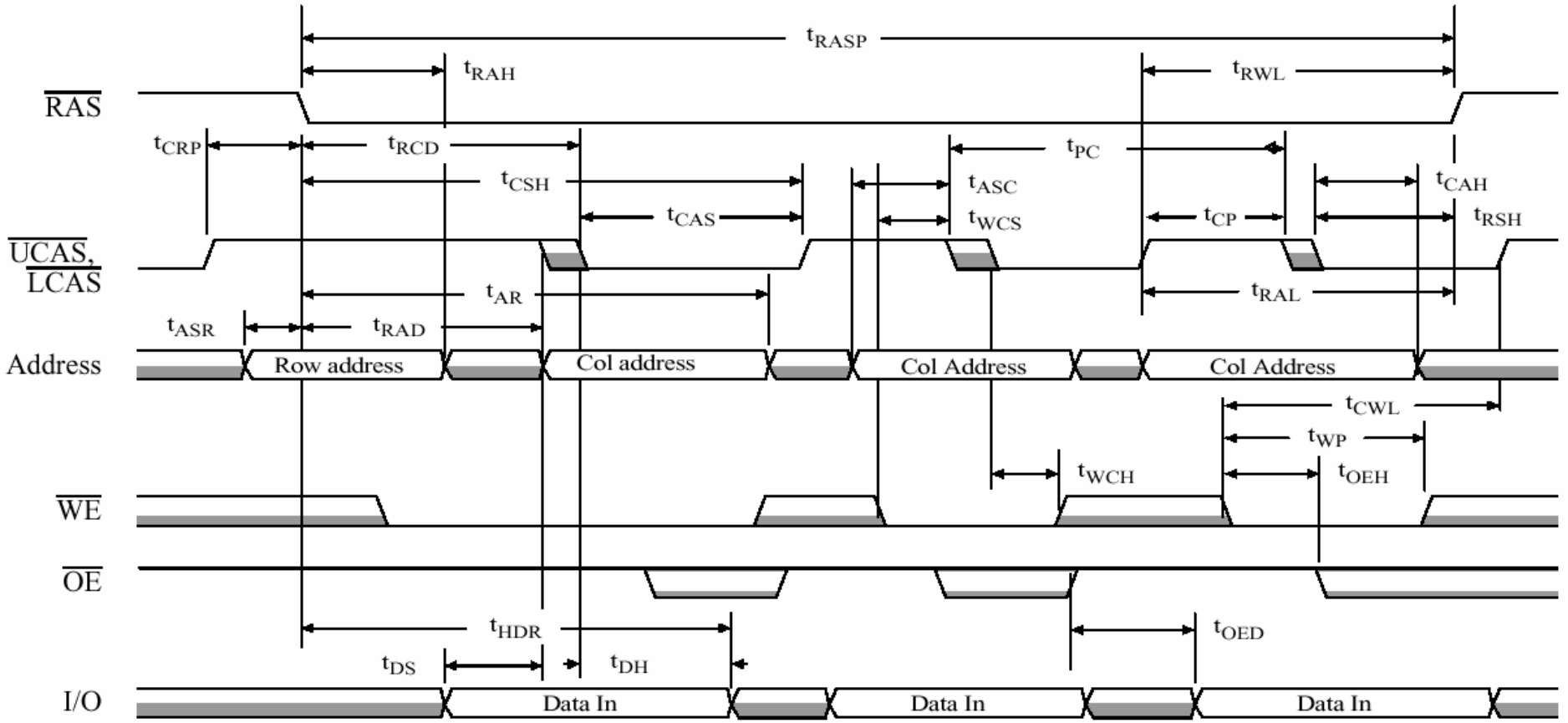
DRAM Fast Page: tempificazione della lettura

Fast page mode read waveform



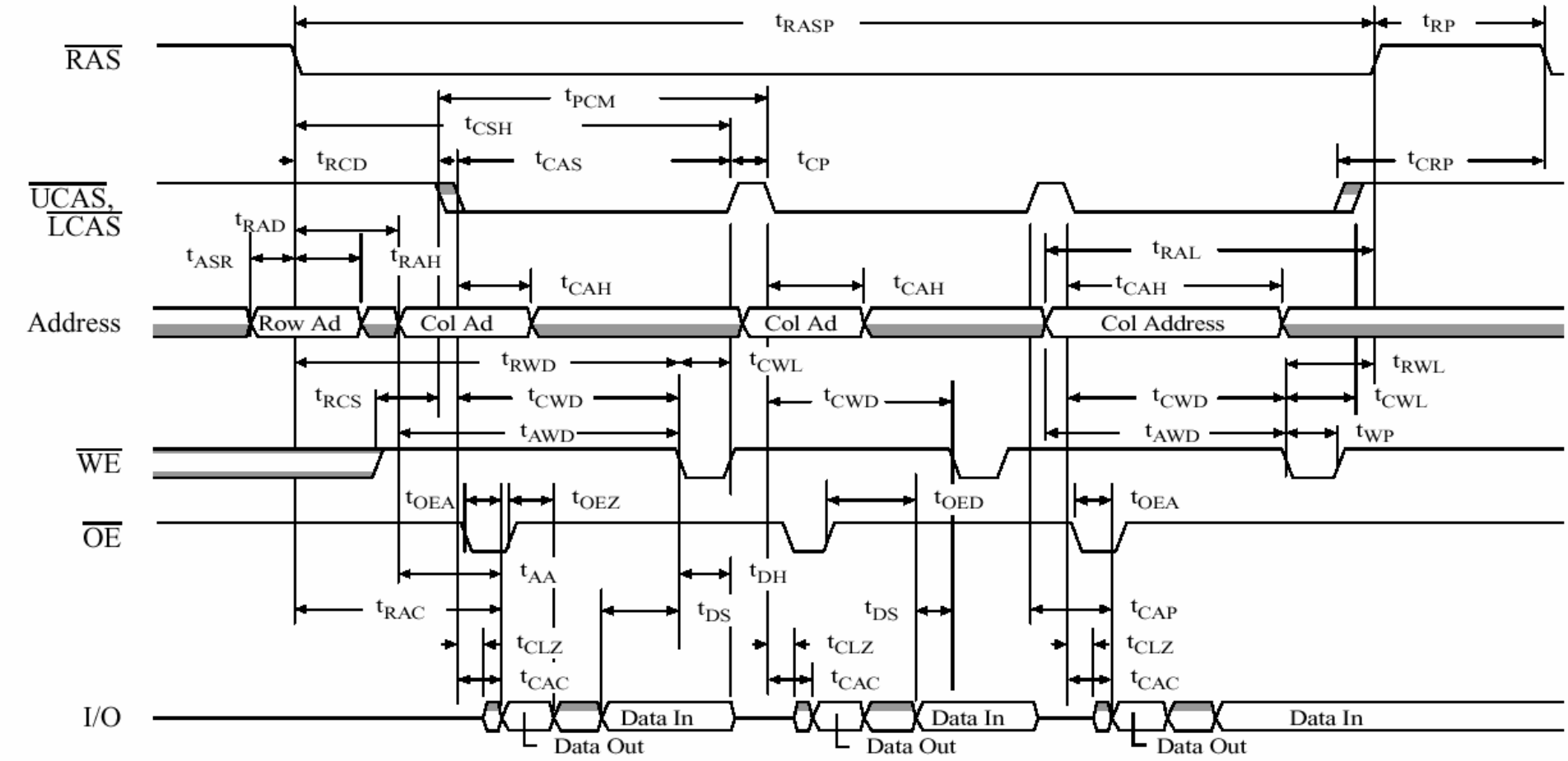
DRAM Fast Page: tempificazione della scrittura

Fast page mode early write waveform



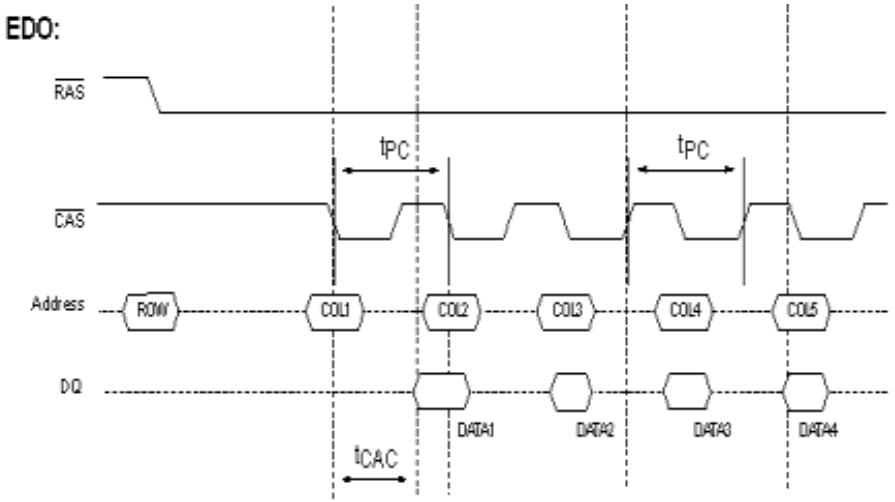
DRAM Fast Page: tempificazione del ciclo lettura /modifica/scrittura

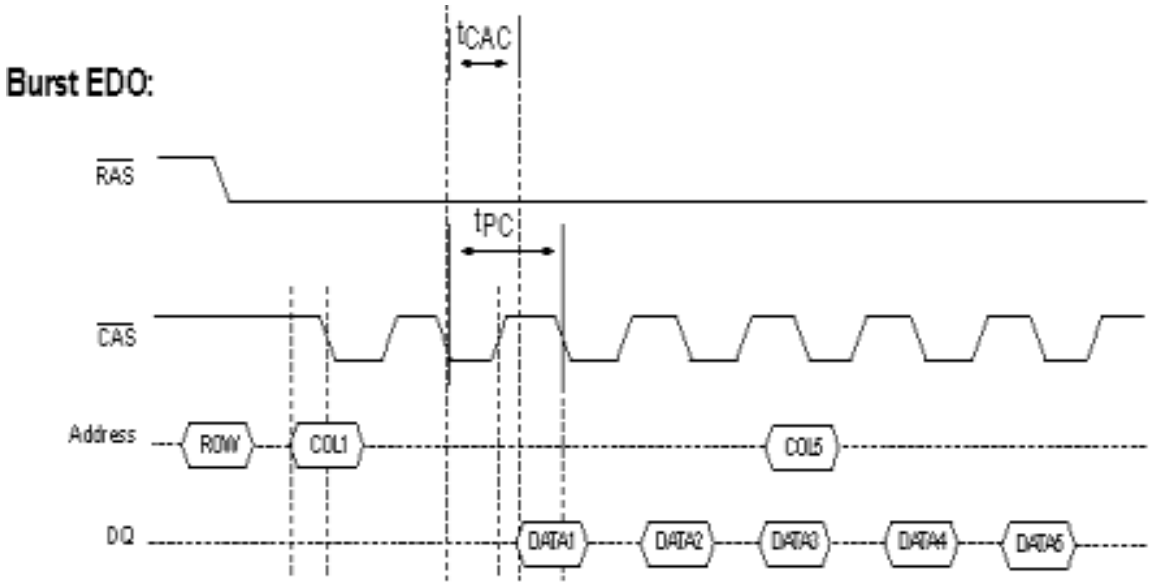
Fast page mode read-modify-write waveform



Burst EDO DRAM

Rispetto alla EDO, la Burst EDO (BEDO) genera internamente i tre indirizzi di colonna successivi a quello appena fornito. E' il segnale CAS a tempificare il trasferimento dei dati.





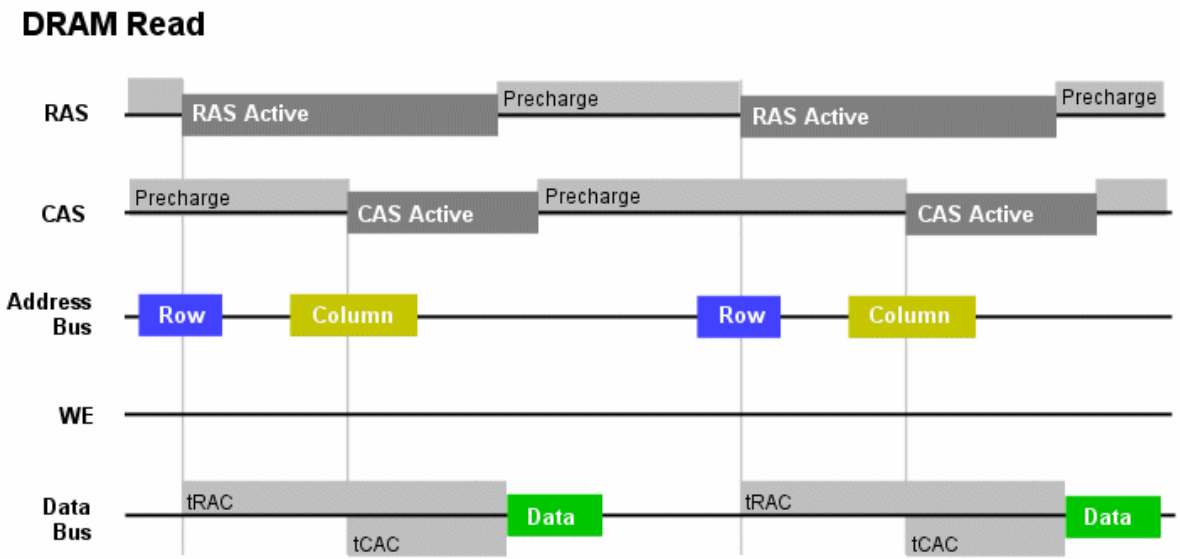
Synchronous DRAM (SDRAM)

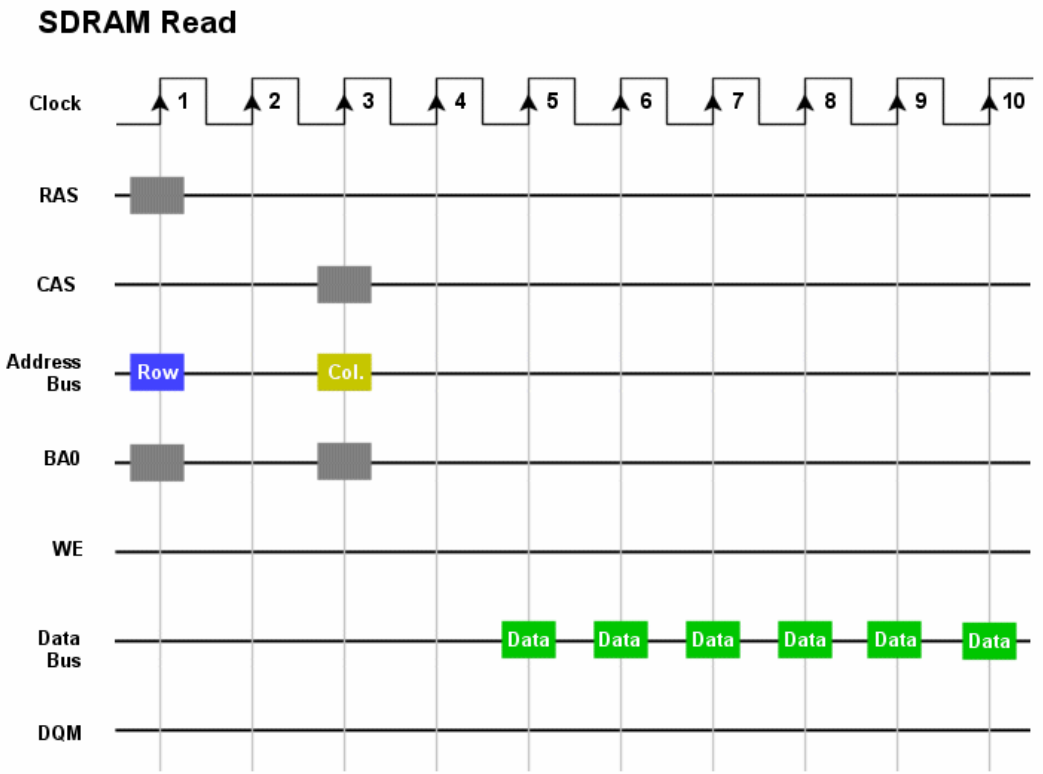
- Accesso sincronizzato con un clock esterno
- I dati sono trasferiti in sincronia con il clock di sistema
- Il processore sa quando i dati saranno disponibili, perciò non deve attendere, può fare altro
- La SDRAM consente una modalità burst per cui il trasferimento di un blocco di dati può essere realizzato tramite un flusso continuo di word

Confronto DRAM asincrone/sincrone

- **Controllo asincrono**
  - il processore deve attendere il completamento dell'operazione da parte della DRAM.
  - La tempificazione è imposta dalla DRAM

- **Controllo sincrono**
  - la DRAM acquisisce le informazioni dal processore (dati, indirizzi, segnali di controllo) sotto il controllo del clock di sistema; dopo un certo numero di cicli, i dati saranno disponibili sulle linee di uscita. Nel frattempo il processore può dedicarsi ad altri task.
  - la tempificazione è gestita completamente in base al clock.





Confronto tempificazione DRAM / SDRAM

Gestione della SDRAM

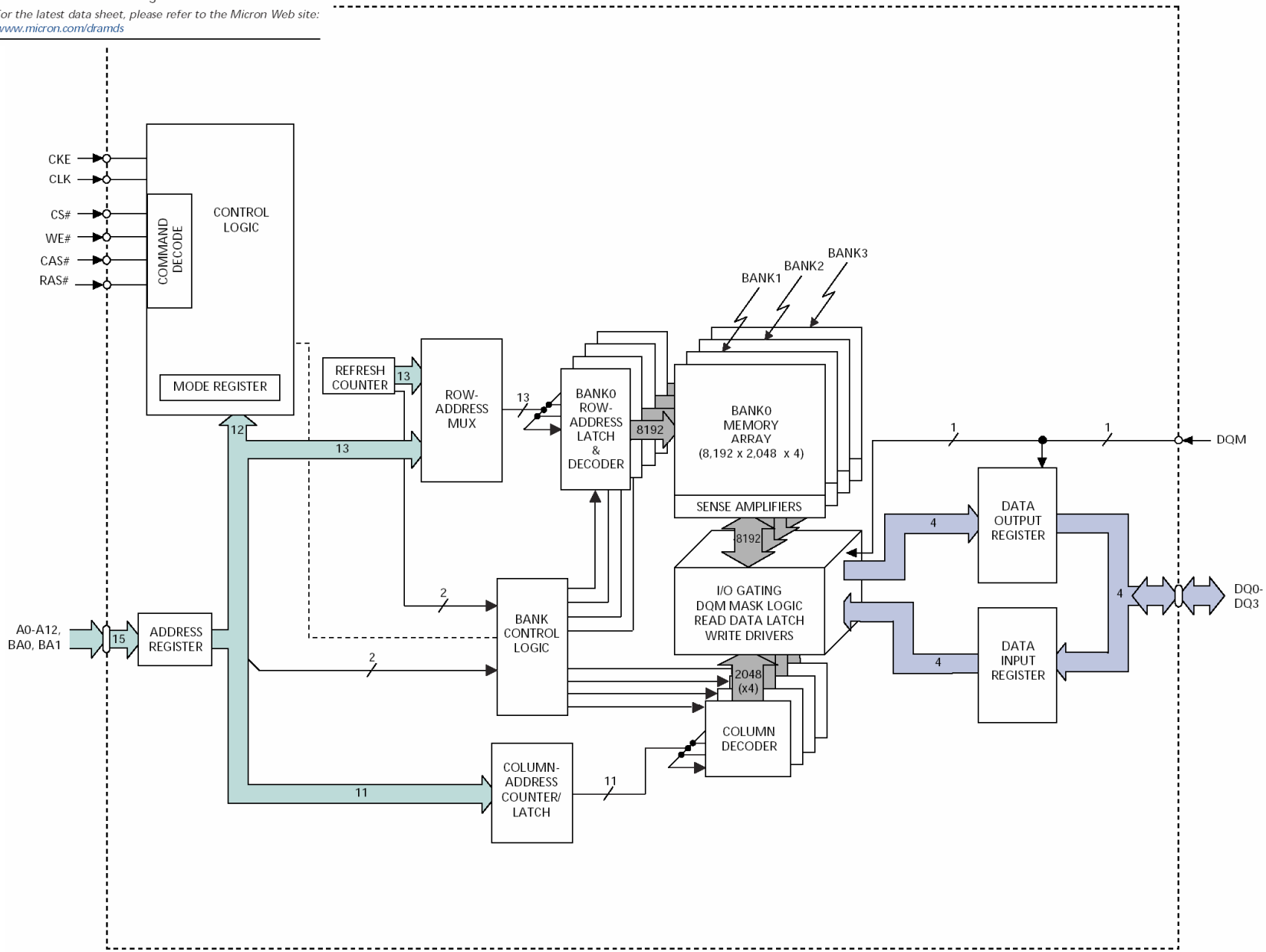
- L'attività della SDRAM viene programmata tramite *comandi* forniti sui suoi terminali di controllo in corrispondenza del fronte di salita del clock
- La SDRAM ha cinque terminali di controllo primari:
  - **CS** (Chip Select)
  - **RAS** (Row Address Select)
  - **CAS** (Column Address Select)
  - **WE** (Write Enable)
  - **DQM**: Praticamente coincidente con l'Output Enable. DQM controlla i drivers tristate sui terminali dati della SDRAM.

64 Meg x 4 SDRAM

SYNCHRONOUS DRAM

MT48LC64M4A2 – 16 Meg x 4 x 4 banks
MT48LC32M8A2 – 8 Meg x 8 x 4 banks
MT48LC16M16A2 – 4 Meg x 16 x 4 banks

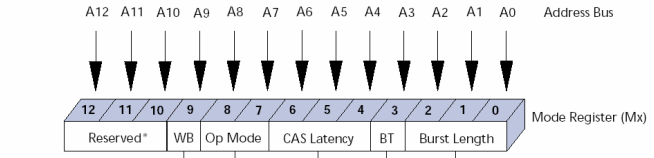
For the latest data sheet, please refer to the Micron Web site:
www.micron.com/dramds



Gestione della SDRAM

- Gli accessi in lettura e scrittura sono *burst oriented*; iniziano ad una locazione definita e continuano per un numero di locazioni programmato in una sequenza programmata
- Iniziano con un comando ACTIVE seguito da un comando READ o WRITE
- Prima dell'inizio delle normali operazioni la SDRAM deve essere inizializzata. La sequenza di inizializzazione prevede, tra l'altro, un comando LOAD MODE REGISTER
- Il mode register è un registro di controllo della SDRAM ed è usato per definire la specifica modalità di operazione della SDRAM che comprende:
  - Scelta della lunghezza di burst
  - Scelta del tipo di burst
  - Definizione della latenza rispetto a CAS
  - Definizione dell'operating mode
  - Scelta del write burst mode
- La modalità programmata è valida finchè il modulo SDRAM viene programmato di nuovo o non viene più alimentato

Figure 7: Mode Register Definition



*Should program M12, M11, M10 = "0, 0, 0" to ensure compatibility with future devices.

			Burst Length	
M2	M1	M0	M3 = 0	M3 = 1
0	0	0	1	1
0	0	1	2	2
0	1	0	4	4
0	1	1	8	8
1	0	0	Reserved	Reserved
1	0	1	Reserved	Reserved
1	1	0	Reserved	Reserved
1	1	1	Full Page	Reserved

M3	Burst Type
0	Sequential
1	Interleaved

M6	M5	M4	CAS Latency
0	0	0	Reserved
0	0	1	Reserved
0	1	0	2
0	1	1	3
1	0	0	Reserved
1	0	1	Reserved
1	1	0	Reserved
1	1	1	Reserved

M8	M7	M6-M0	Operating Mode
0	0	Defined	Standard Operation
-	-	-	All other states reserved

M9	Write Burst Mode
0	Programmed Burst Length
1	Single Location Access

Table 7: Burst Definition

Burst Length	Starting Column Address	Order of Accesses Within a Burst	
		Type = Sequential	Type = Interleaved
2	A0		
	0	0-1	0-1
	1	1-0	1-0
4	A1 A0		
	0 0	0-1-2-3	0-1-2-3
	0 1	1-2-3-0	1-0-3-2
	1 0	2-3-0-1	2-3-0-1
	1 1	3-0-1-2	3-2-1-0
8	A2 A1 A0		
	0 0 0	0-1-2-3-4-5-6-7	0-1-2-3-4-5-6-7
	0 0 1	1-2-3-4-5-6-7-0	1-0-3-2-5-4-7-6
	0 1 0	2-3-4-5-6-7-0-1	2-3-0-1-6-7-4-5
	0 1 1	3-4-5-6-7-0-1-2	3-2-1-0-7-6-5-4
	1 0 0	4-5-6-7-0-1-2-3	4-5-6-7-0-1-2-3
	1 0 1	5-6-7-0-1-2-3-4	5-4-7-6-1-0-3-2
	1 1 0	6-7-0-1-2-3-4-5	6-7-4-5-2-3-0-1
	1 1 1	7-0-1-2-3-4-5-6	7-6-5-4-3-2-1-0
Full Page (y)	n = A0-A11/9/8 (location 0-y)	Cn, Cn + 1, Cn + 2 Cn + 3, Cn + 4... ...Cn - 1, Cn...	Not Supported

NOTE:
1. For full-page accesses: y = 2,048 (x4); y = 1,024 (x8); y = 512 (x16).
2. For a burst length of two, A1-A9, A11 (x4); A1-A9 (x8); or A1-A8 (x16) select the block-of-two burst; A0 selects the starting column within the block.
3. For a burst length of four, A2-A9, A11 (x4); A2-A9 (x8); or A2-A8 (x16) select the block-of-four burst; A0-A1 select the starting column within the block.
4. For a burst length of eight, A3-A9, A11 (x4); A3-A9 (x8); or A3-A8 (x16) select the block-of-eight burst; A0-A2 select the starting column within the block.
5. For a full-page burst, the full row is selected and A0-A9, A11 (x4); A0-A9 (x8); or A0-A8 (x16) select the starting column.
6. Whenever a boundary of the block is reached within a given sequence above, the following access wraps within the block.
7. For a burst length of one, A0-A9, A11 (x4); A0-A9 (x8); or A0-A8 (x16) select the unique column to be accessed, and mode register bit M3 is ignored.

Table 9: Truth Table 1 – Commands and DQM Operation

(Note: 1)

NAME (FUNCTION)	CS#	RAS#	CAS#	WE#	DQM	ADDR	DQs	NOTES
COMMAND INHIBIT (NOP)	H	X	X	X	X	X	X	
NO OPERATION (NOP)	L	H	H	H	X	X	X	
ACTIVE (Select bank and activate row)	L	L	H	H	X	Bank/Row	X	3
READ (Select bank and column, and start READ burst)	L	H	L	H	L/H[8]	Bank/Col	X	4
WRITE (Select bank and column, and start WRITE burst)	L	H	L	L	L/H[8]	Bank/Col	Valid	4
BURST TERMINATE	L	H	H	L	X	X	Active	
PRECHARGE (Deactivate row in bank or banks)	L	L	H	L	X	Code	X	5
AUTO REFRESH or SELF REFRESH (Enter self refresh mode)	L	L	L	H	X	X	X	6, 7
LOAD MODE REGISTER	L	L	L	L	X	Op-Code	X	2
Write Enable/Output Enable	–	–	–	–	L	–	Active	8
Write Inhibit/Output High-Z	–	–	–	–	H	–	High-Z	8

NOTE:
1. CKE is HIGH for all commands shown except SELF REFRESH.
2. A0-A11 define the op-code written to the mode register, and A12 should be driven LOW.
3. A0-A12 provide row address, and BA0, BA1 determine which bank is made active.
4. A0-A9, A11 (x4); A0-A9 (x8); or A0-A8 (x16) provide column address; A10 HIGH enables the auto precharge feature (nonpersistent), while A10 LOW disables the auto precharge feature; BA0, BA1 determine which bank is being read from or written to.
5. A10 LOW: BA0, BA1 determine the bank being precharged. A10 HIGH: All banks precharged and BA0, BA1 are "Don't Care."
6. This command is AUTO REFRESH if CKE is HIGH, SELF REFRESH if CKE is LOW.
7. Internal refresh counter controls row addressing; all inputs and I/Os are "Don't Care" except for CKE.
8. Activates or deactivates the DQs during WRITEs (zero-clock delay) and READs (two-clock delay).

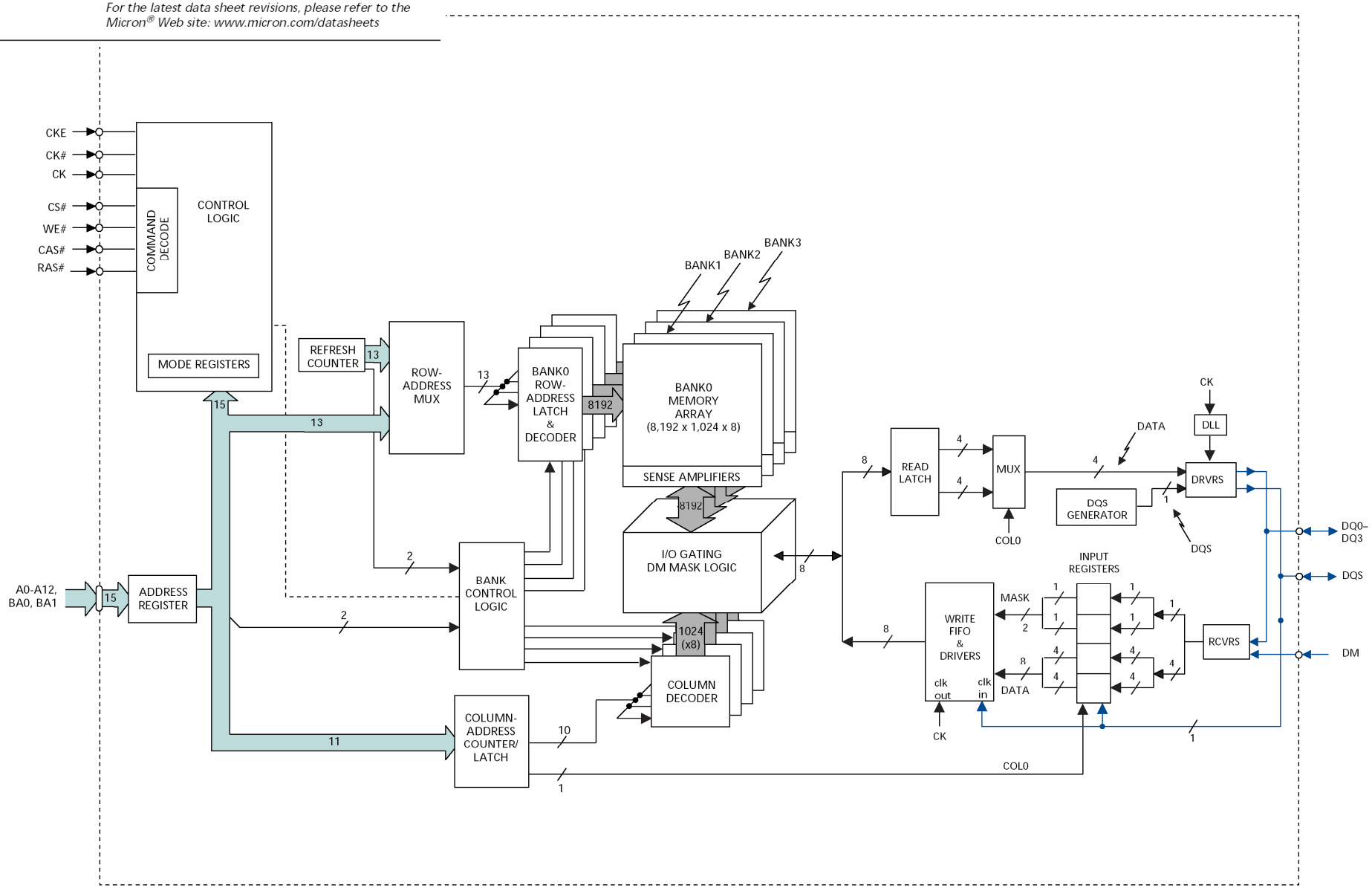
Double Data Rate SDRAM (DDR)

- Le SDRAM DDR inviano dati due volte per ogni ciclo di clock (leading & trailing edge)
- Permettono quindi un data rate doppio rispetto alle SDRAM tradizionali
- Di solito viene utilizzata un'architettura 2*n*-prefetch dove l'ampiezza del bus interno è doppia rispetto al bus esterno

DOUBLE DATA RATE (DDR) SDRAM

MT46V64M4 – 16 MEG x 4 x 4 BANKS
MT46V32M8 – 8 MEG x 8 x 4 BANKS
MT46V16M16 – 4 MEG x 16 x 4 BANKS
For the latest data sheet revisions, please refer to the Micron® Web site: www.micron.com/datasheets

Functional Block Diagram: 64 Meg x 4



Confronto SDRAM/DDR

- Il nucleo dei moduli nei due casi è essenzialmente lo stesso:
  - Stesso indirizzamento
  - Stessa interfaccia comandi
  - Array di memoria a 4 banchi

- La differenza fondamentale sta nell'interfaccia dati

- SDRAM
  - La lettura/scrittura dei dati è sincronizzata con il fronte di salita del clock
  - Il bus interno ha ampiezza uguale al bus esterno
  - I dati sono trasferiti da /verso l'array interno a word singole, così come passano attraverso i buffer di I/O
  - Impiego di un segnale DQM che agisce come output enable durante le operazioni di READ
- DDR
  - La lettura/scrittura dei dati è sincronizzata con entrambi i fronti del clock
  - Il bus interno ha ampiezza doppia di quella del bus esterno
  - I trasferimenti dati tra l'array interno e i buffer di I/O avvengono a coppie di word
  - Non si usa un output enable per le operazioni di READ: la DDR supporta un comando BURST TERMINATE per terminare immediatamente un READ in corso