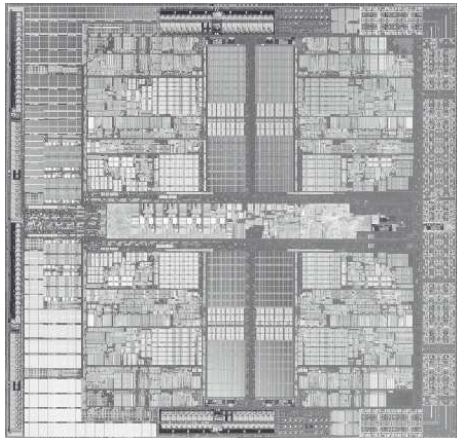




# Università degli Studi di Cassino e del Lazio Meridionale



**Corso di  
Calcolatori Elettronici**

**Elementi di memoria e Registri**

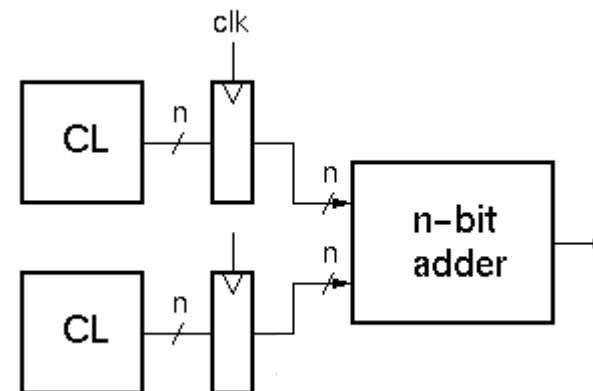
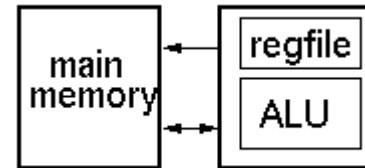
**Anno Accademico 2011/2012**

**Francesco Tortorella**

# Elementi di memoria

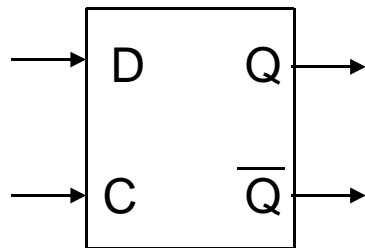
Nella realizzazione di un sistema digitale è necessario utilizzare degli elementi di memoria per:

- memorizzazione di dati (registri per istruzioni/dati, buffers, control/status, flag)
- sincronizzazione tra dati



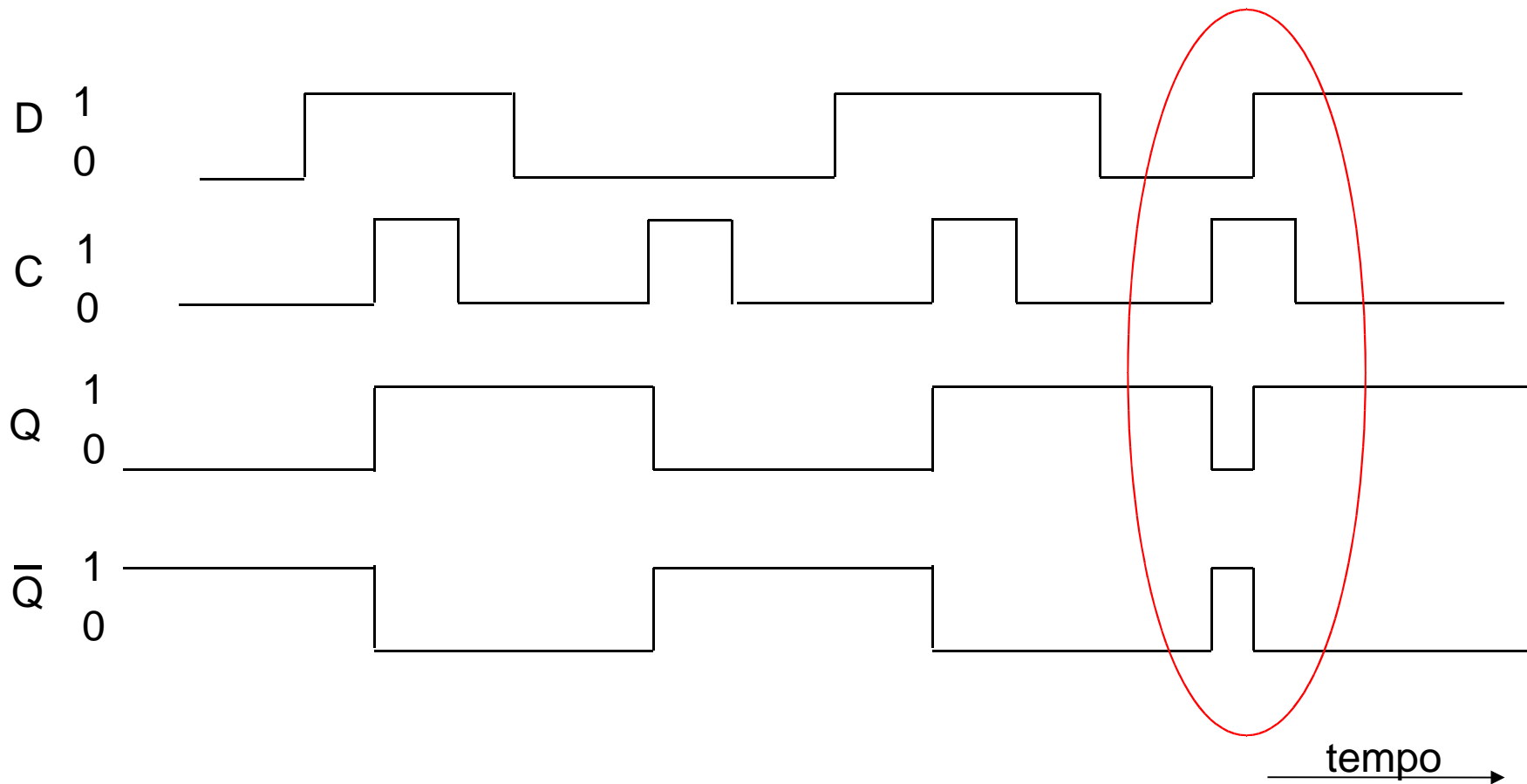
# Elementi di memoria: D-latch

- Un D-latch è un elemento che permette la memorizzazione di un valore binario.
- Ha due ingressi:
  - **D (Data)**: il valore da memorizzare
  - **C (Clock)**: un segnale di abilitazione alla lettura
- In uscita presenta il valore memorizzato  $Q$  ed il suo complemento  $\bar{Q}$



C	D	Q	$\bar{Q}$
0	0	0/1	1/0
0	1	0/1	1/0
1	0	0	1
1	1	1	0

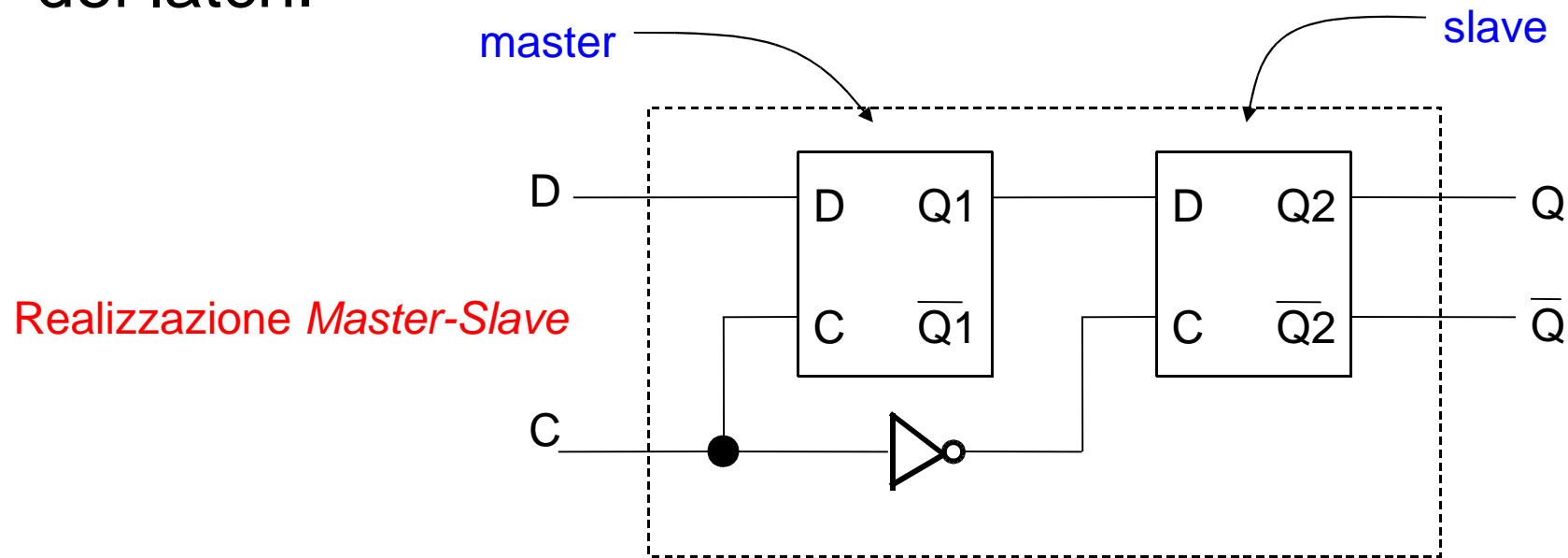
# Andamento temporale del D-latch

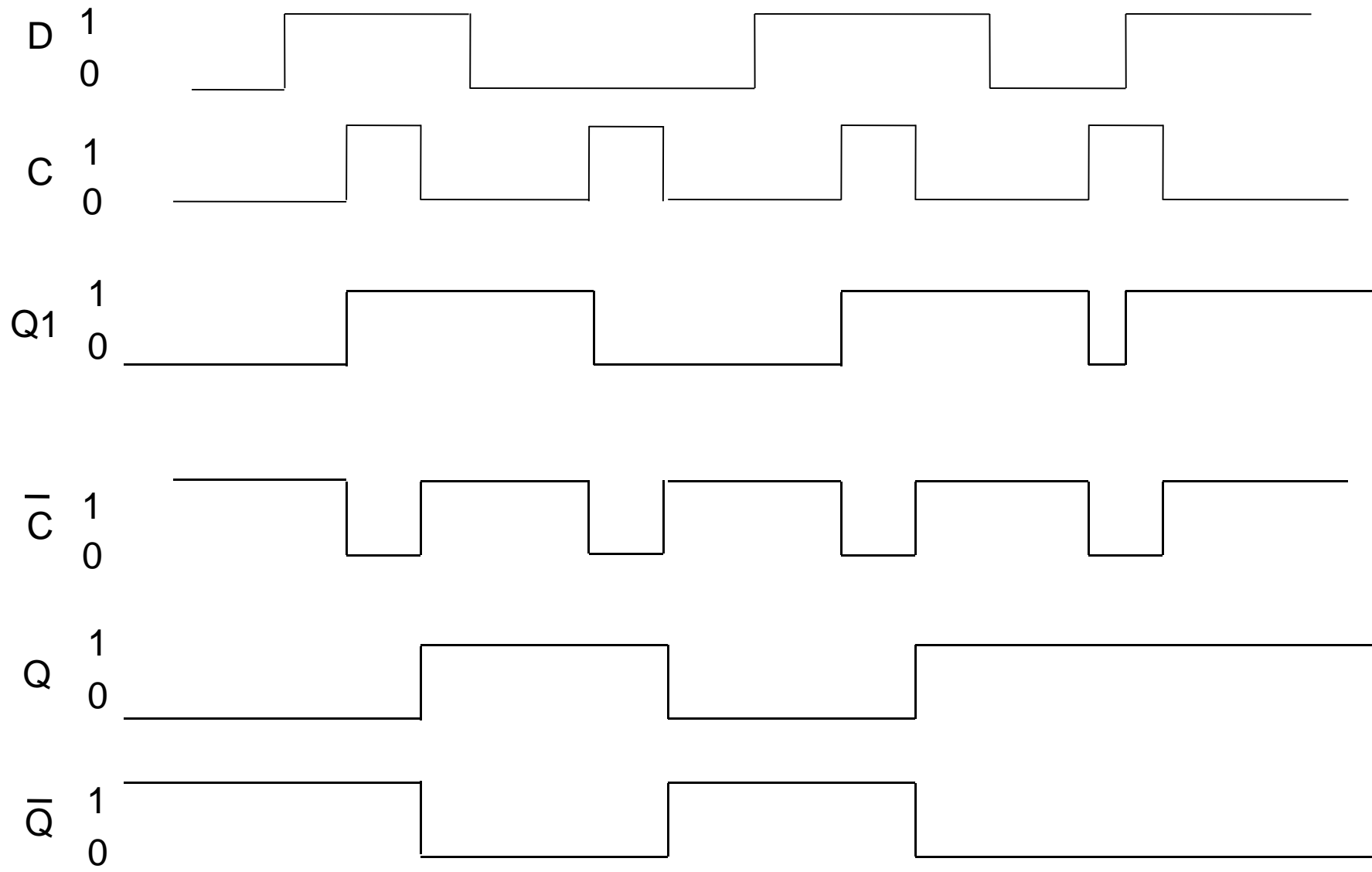


Eventuali variazioni di D mentre C è alto vengono seguite

# Elementi di memoria: flip flop D edge triggered

- Gli elementi di memoria edge-triggered modificano il loro stato in corrispondenza del fronte di salita o di discesa del clock. In tal modo si evitano i problemi dei latch.

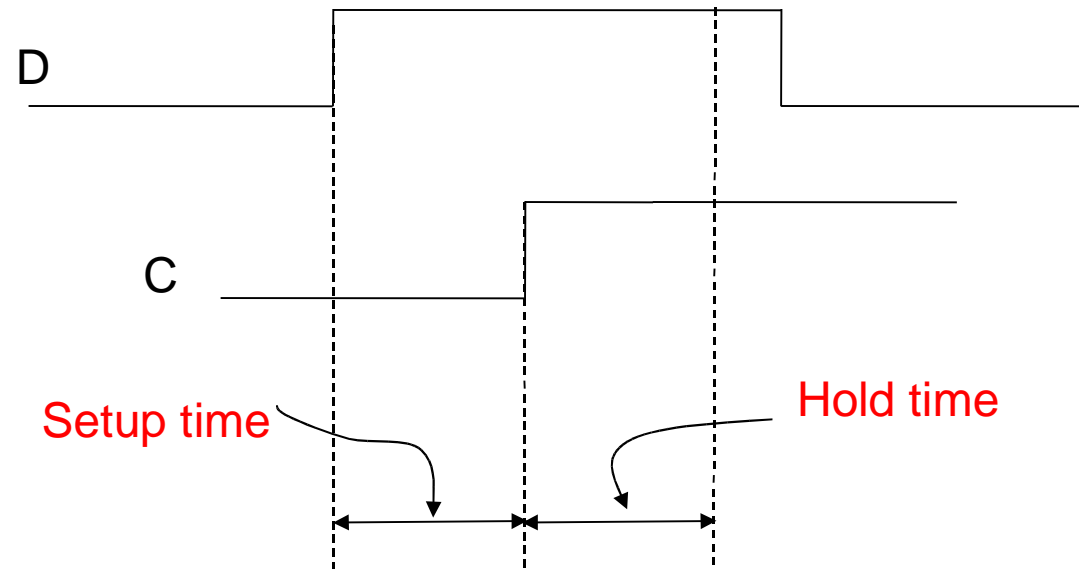




# Vincoli sulla tempificazione

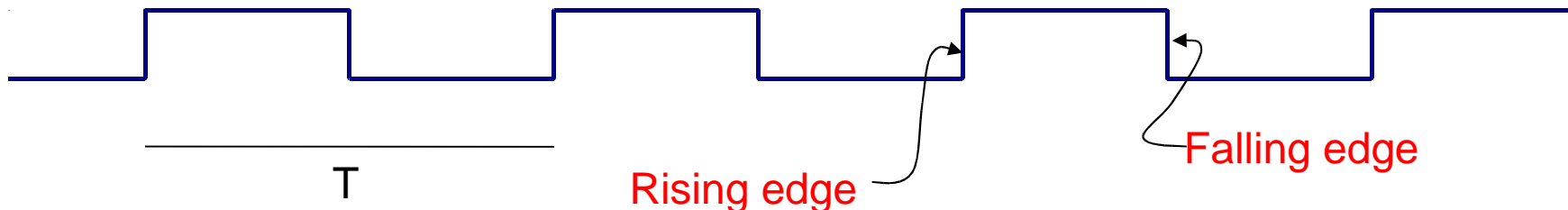
- L'ingresso D deve essere stabile in un intervallo di tempo intorno al fronte del segnale C, altrimenti l'uscita del flip flop non è affidabile

Sono quindi definiti dei tempi minimi di durata del segnale D prima del fronte (*setup time*) e dopo il fronte (*hold time*)



# Clock

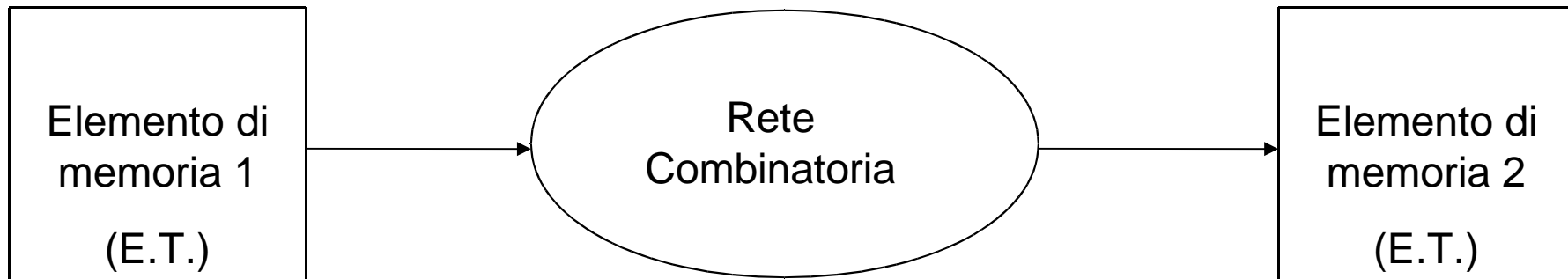
- Il clock è un segnale periodico, definito da una propria frequenza  $f=1/T$
- Può assumere solo due valori (clock alto o clock basso). La transizione tra un valore ed un altro definisce un fronte di salita (*rising edge*) o di discesa (*falling edge*).
- In un sistema digitale sincrono il segnale di clock viene utilizzato per determinare i cambiamenti di stato negli elementi di memoria.
- Quando ciò avviene in corrispondenza di un fronte si parla di *sincronizzazione edge triggered (edge triggered clocking)*





# Il Clock in un sistema digitale sequenziale (1)

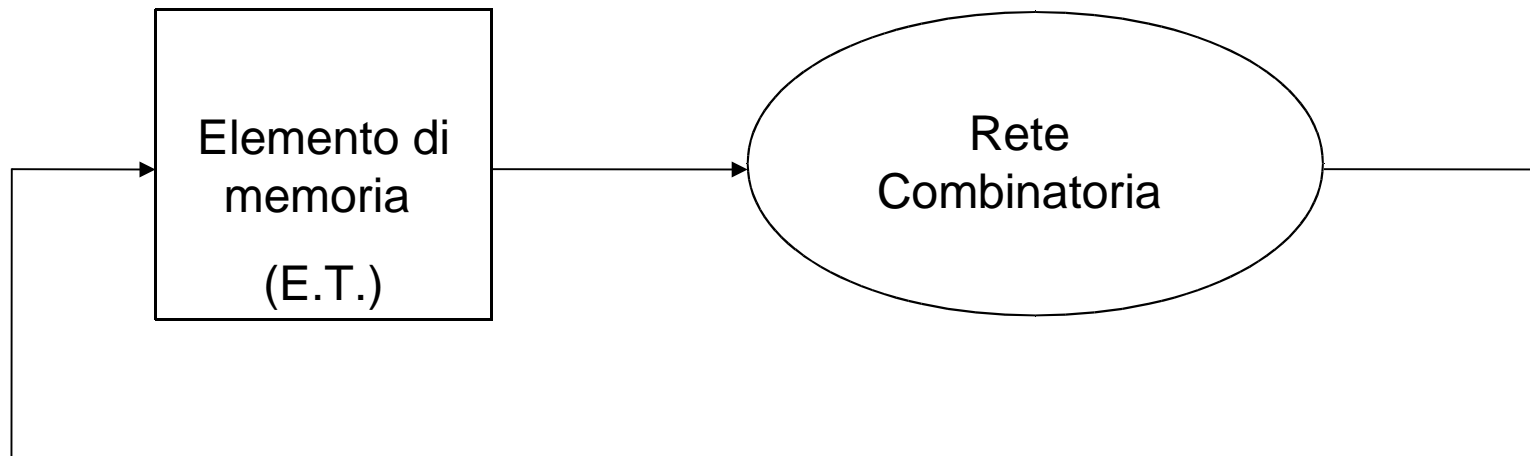
- I segnali che sono ingresso di elementi di memoria devono essere stabili quando si verifica il fronte del clock.



- Per assicurare la stabilità dei valori letti all'uscita della rete combinatoria, il periodo del clock deve essere sufficientemente lungo. Se  $t_d$  è il ritardo legato al percorso critico della rete combinatoria, allora  $T > t_d$ .

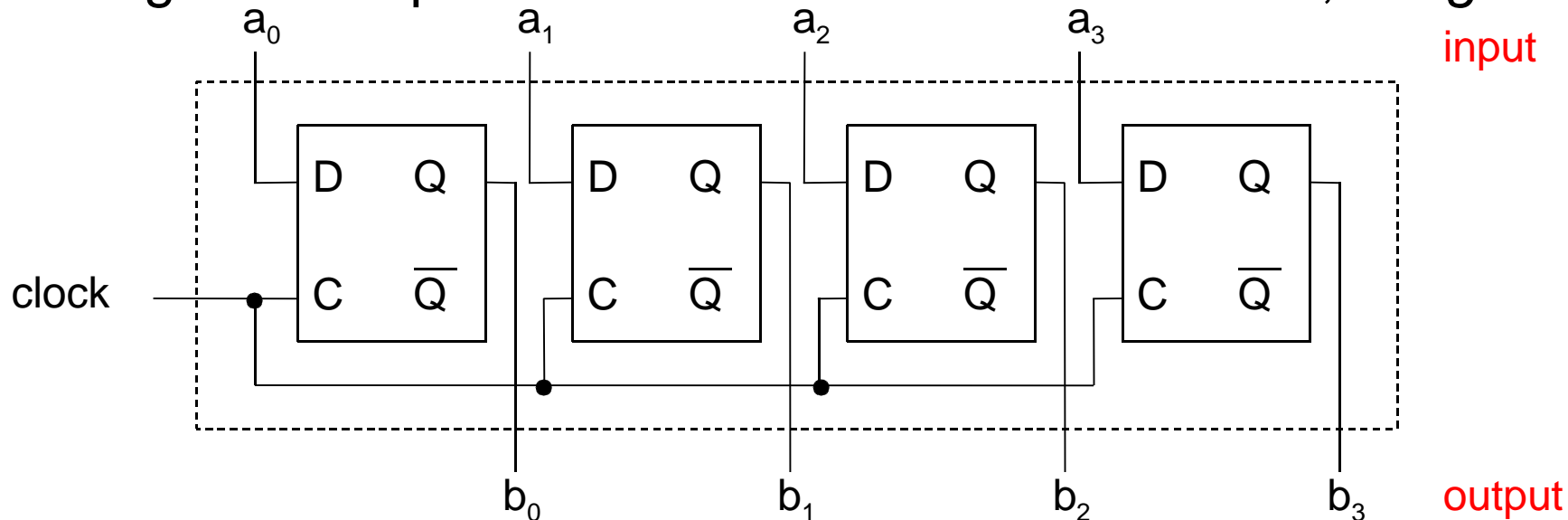
## Il Clock in un sistema digitale sequenziale (2)

- Con una sincronizzazione di tipo edge triggered è possibile realizzare delle retroazioni sugli stessi elementi di memoria.



# Registri

- Un singolo bistabile è sufficiente per memorizzare un bit. Per memorizzare dati rappresentati su più bit è conveniente organizzare più bistabili in una struttura comune, il *registro*.



- I bistabili sono sincronizzati da un clock comune in modo da caricare (o leggere) i dati in tutti i bistabili contemporaneamente.