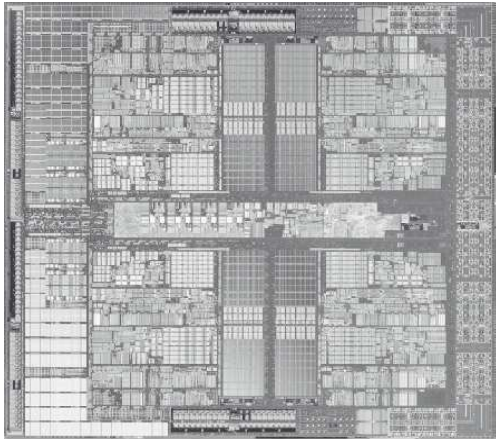




Università degli Studi di Cassino e del Lazio Meridionale



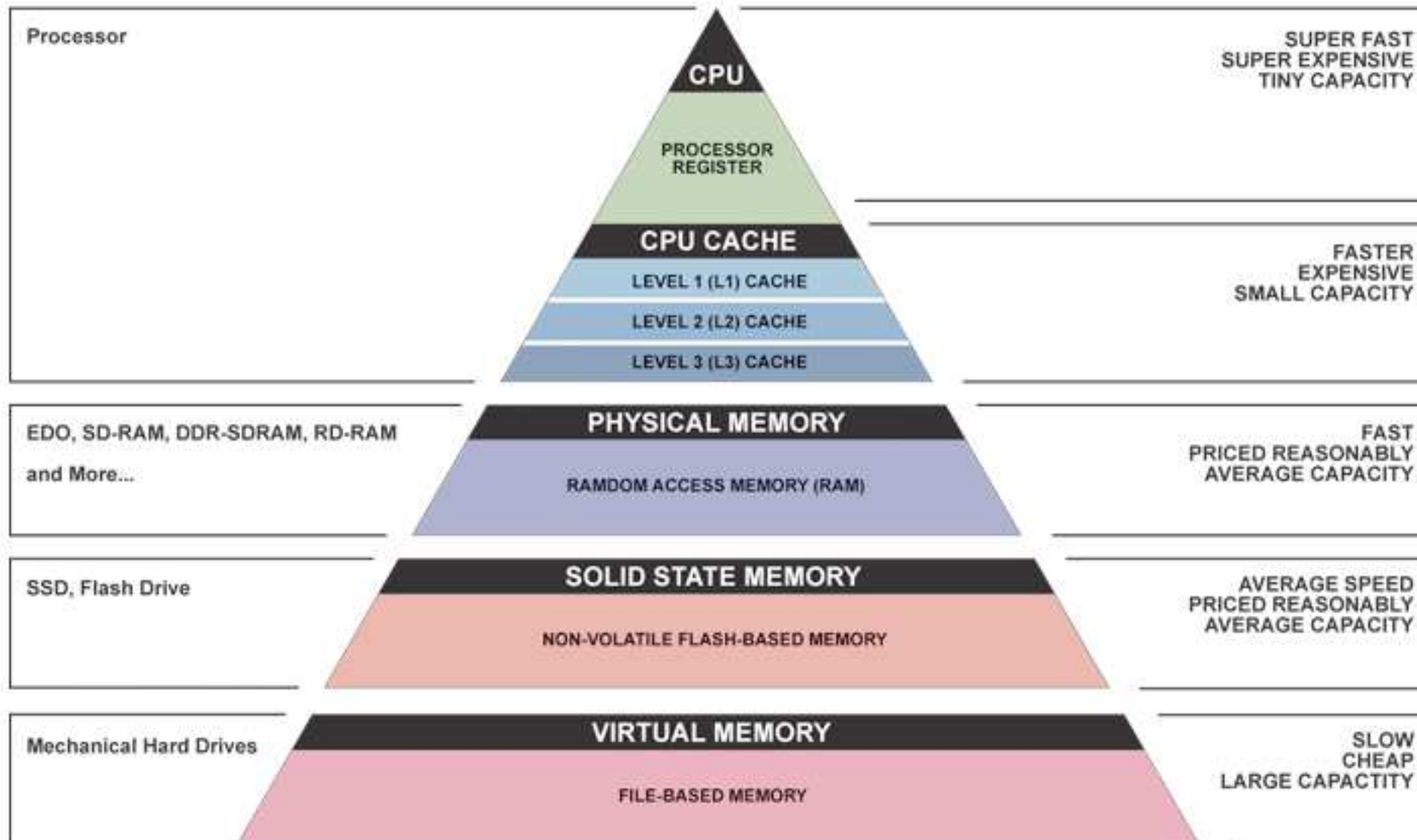
**Corso di
Calcolatori Elettronici**

Tecnologie per le Memorie

Anno Accademico 2011/2012

Francesco Tortorella

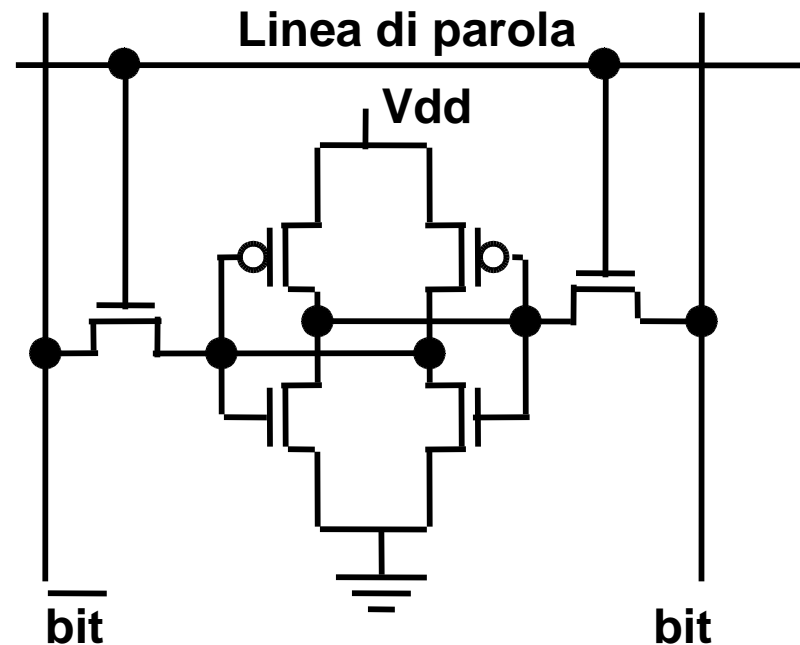
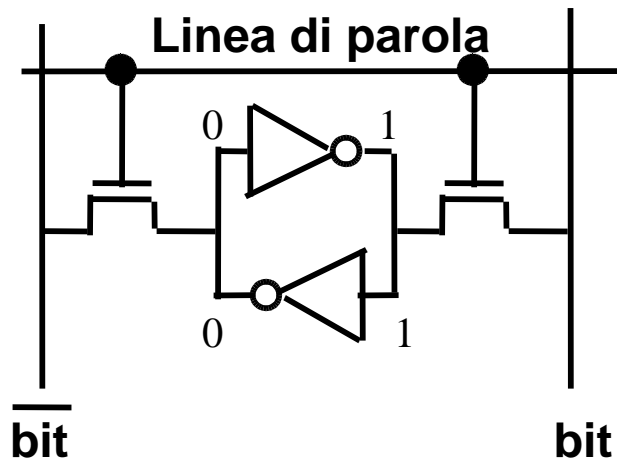
Gerarchia di memoria: vista complessiva



Gerarchia di memoria: tecnologie

- **Accesso casuale (random):**
 - vantaggioso: tempo di accesso uguale per tutte le locazioni
 - **DRAM:** *Dynamic Random Access Memory*
 - Alta densità di integrazione, basso costo per bit, lenta
 - *Dynamic:* è necessario rigenerare i contenuti periodicamente (refresh)
 - **SRAM:** *Static Random Access Memory*
 - Bassa densità di integrazione, alto costo per bit, veloce
 - *Static:* il contenuto viene mantenuto finché è presente l'alimentazione
- **Accesso “quasi casuale” :**
 - tempo di accesso variabile da locazione a locazione e da istante a istante
 - Esempio: Dischi, CDROM
- **Accesso sequenziale:**
 - tempo di accesso linearmente dipendente dalla posizione (es., nastro)

Cella di memoria RAM statica (6 transistor)



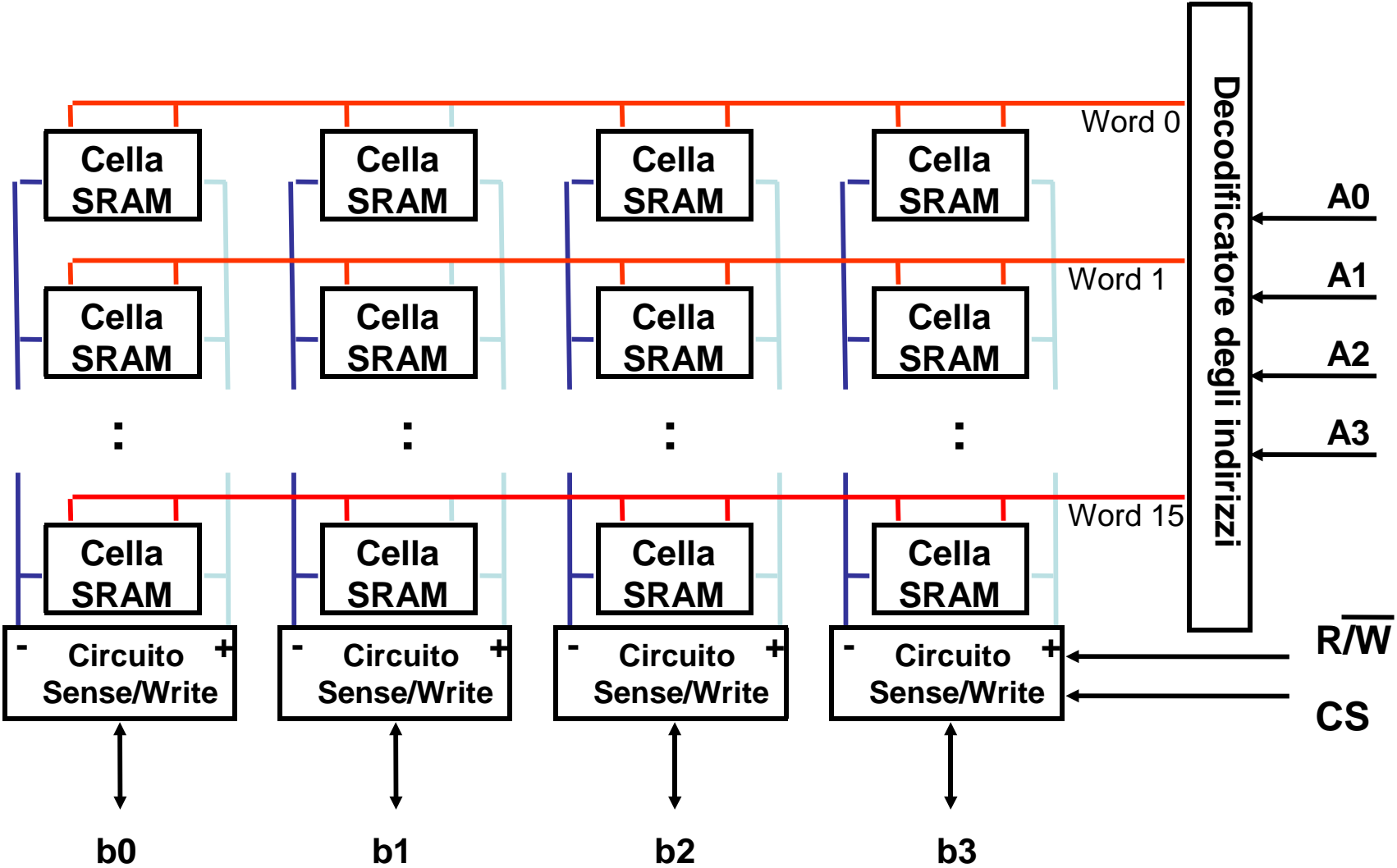
Write:

1. Vengono settate le linee di bit
(bit=1, $\overline{\text{bit}}=0$)
2. Si attiva la linea di parola

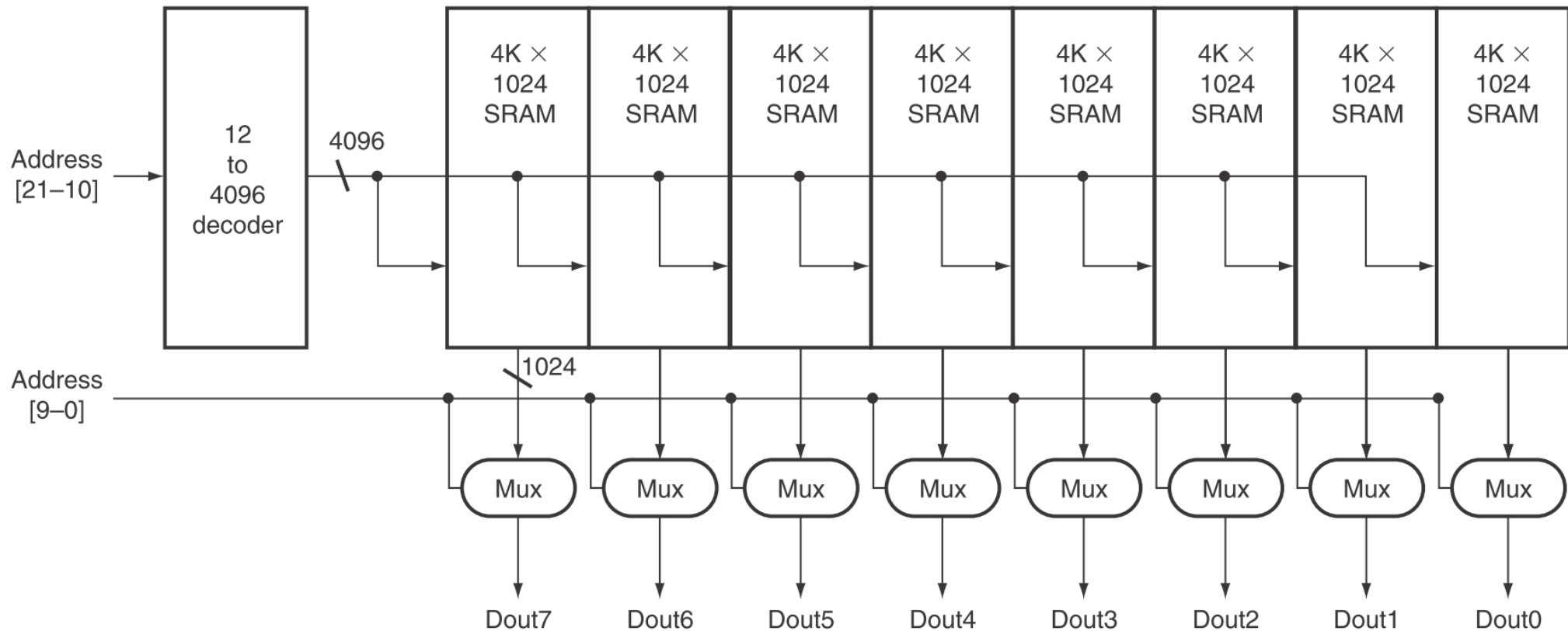
Read:

1. Viene attivata la linea di parola
2. Una delle linee va a massa
3. Viene valutata la differenza tra le due linee e si determina il valore memorizzato

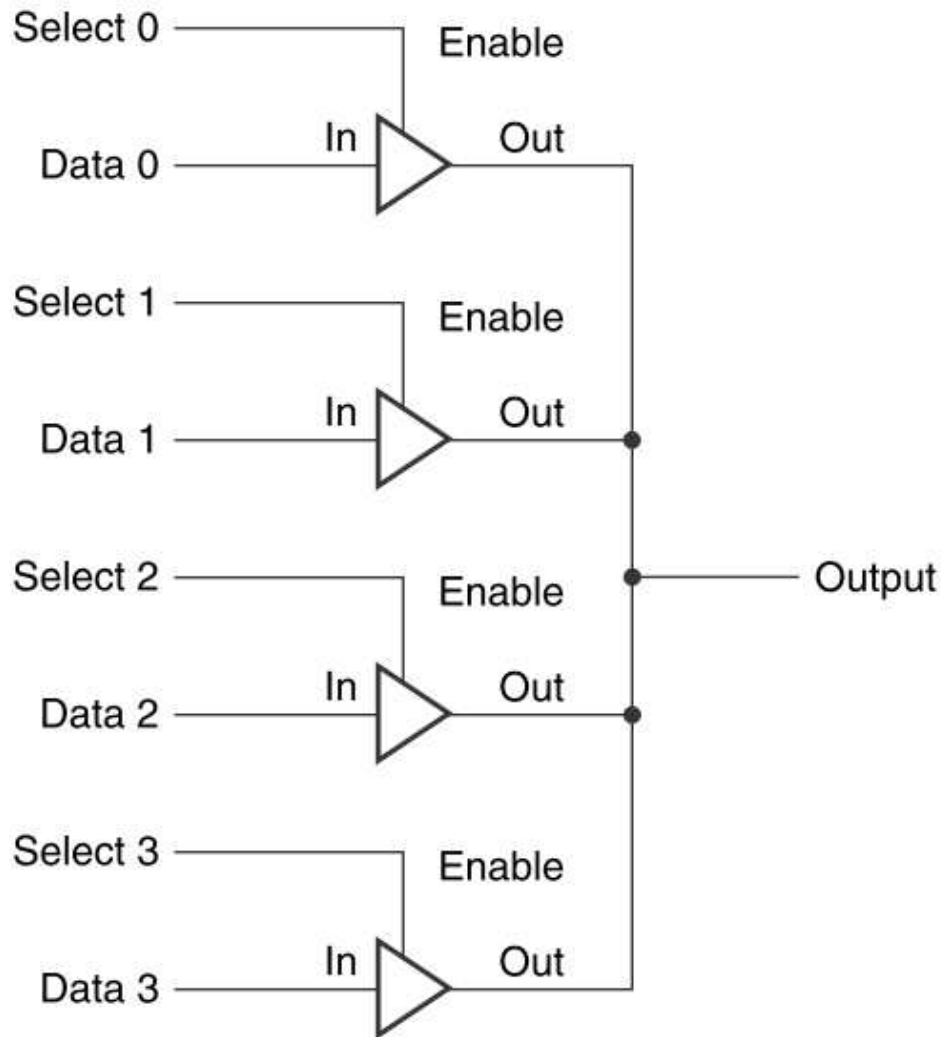
Organizzazione di un modulo SRAM (16 word x 4 bit)



Organizzazione di un modulo SRAM (4M x 8 bit)

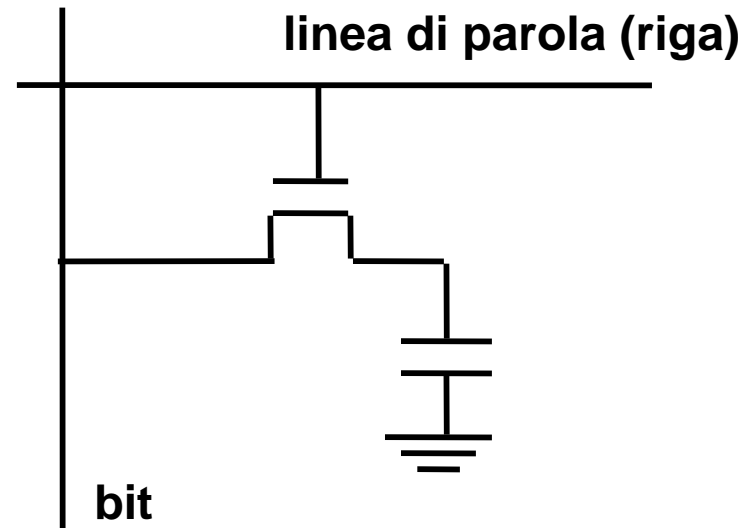


Multiplexing in wired OR

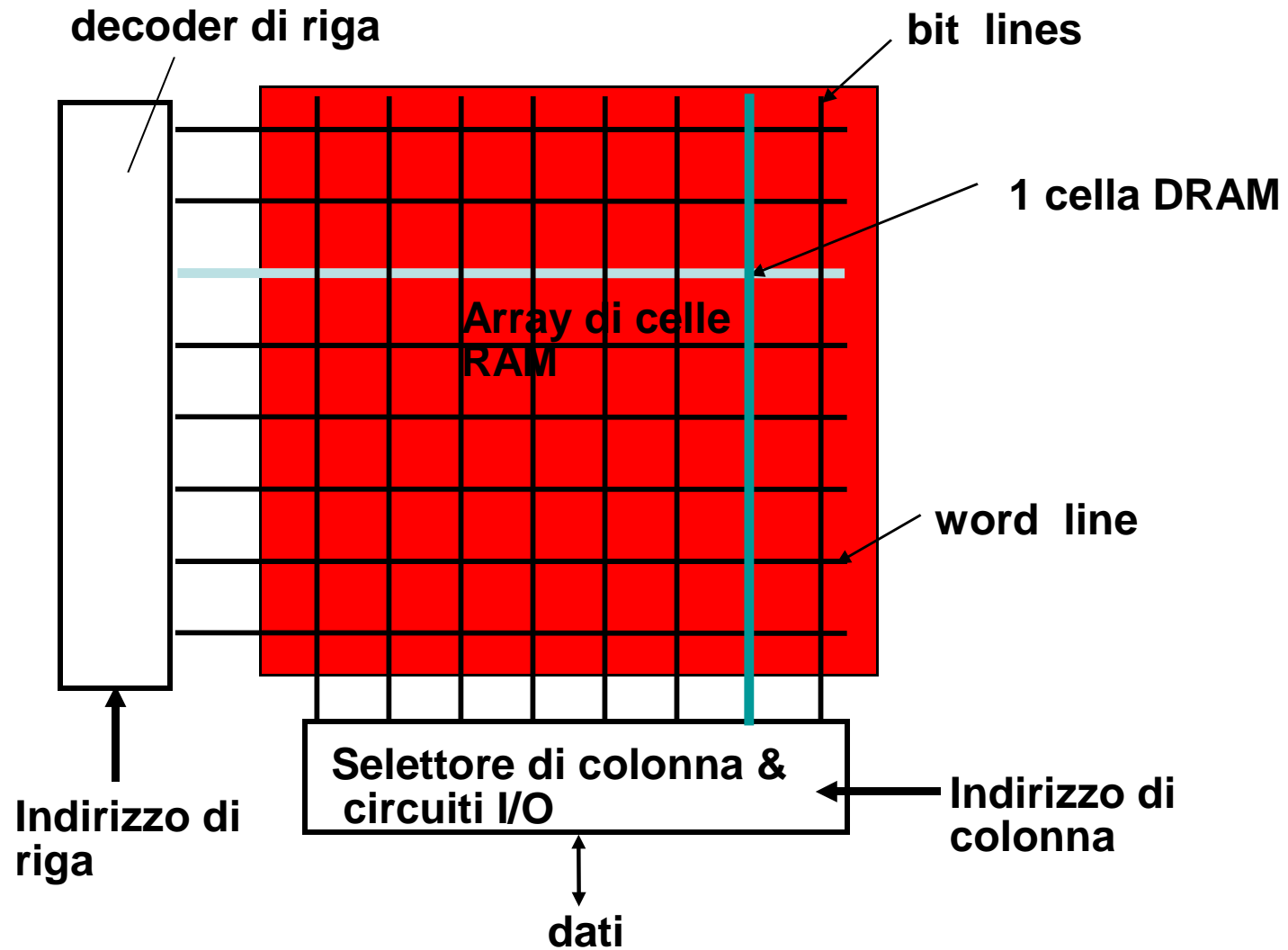


Cella di memoria RAM dinamica (1 transistor)

- Write:
 - 1. Viene selezionata la linea di parola
 - 2. Viene settata la linea di bit
- Read:
 - 1. La linea di bit viene portata ad una tensione media tra l'1 e lo 0
 - 2. Viene selezionata la linea di parola
 - 3. Si genera un passaggio di cariche che causa una piccola variazione di tensione
 - 4. La variazione viene misurata, determinando il valore registrato nella cella
 - 5. Viene effettuata una riscrittura del valore letto
- Refresh
 - 1. Viene effettuata una lettura a vuoto della cella.



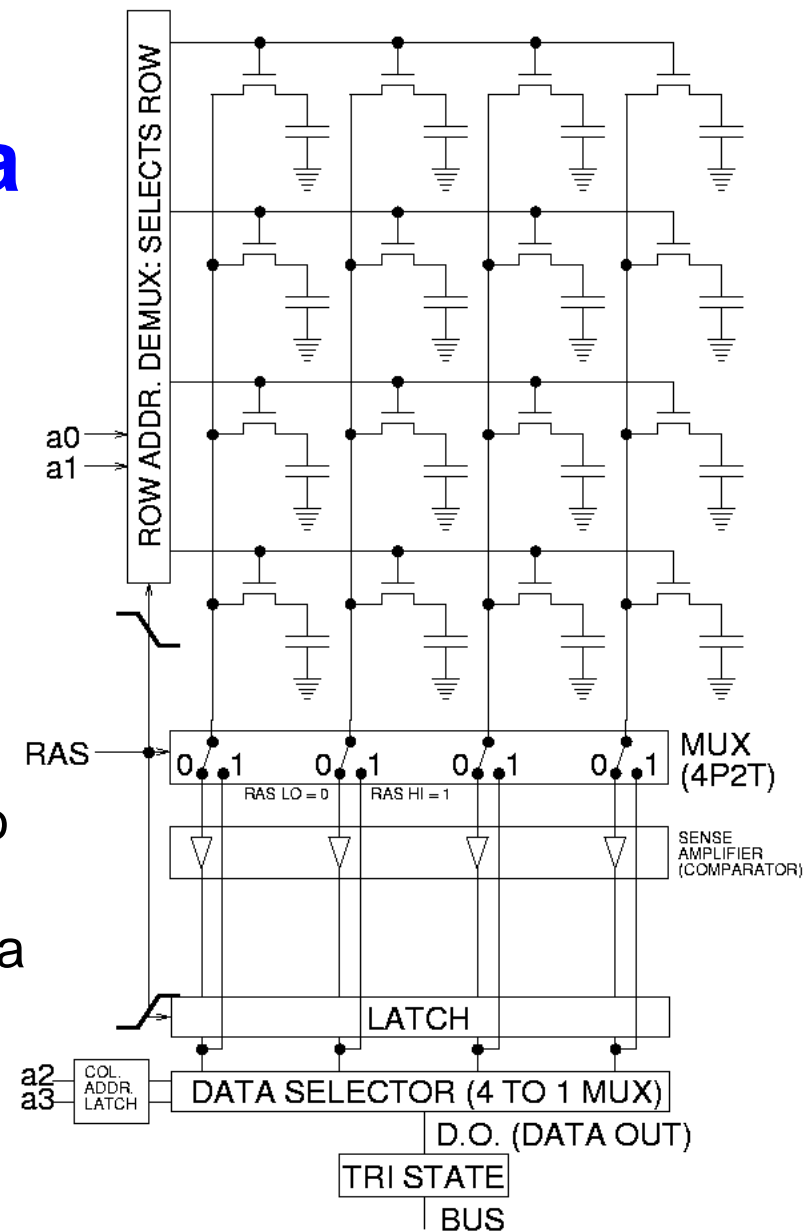
Modulo DRAM



DRAM: operazione di lettura

La riga della cella selezionata è attivata, accendendo i transistor e connettendo i condensatori di quella riga alle linee di percezione (*sense lines*). Queste portano agli amplificatori di percezione (*sense amplifiers*) che individuano il valore del bit memorizzato. Il valore corrispondente alla colonna scelta è quindi selezionato e connesso all'output. Alla fine del ciclo di lettura, i valori sulla riga devono essere ricaricati nei condensatori, che si sono scaricati durante l'operazione. Questa riscrittura è realizzata attivando la riga e connettendo i valori da scrivere sulle sense lines, le quali caricano i condensatori ai valori desiderati.

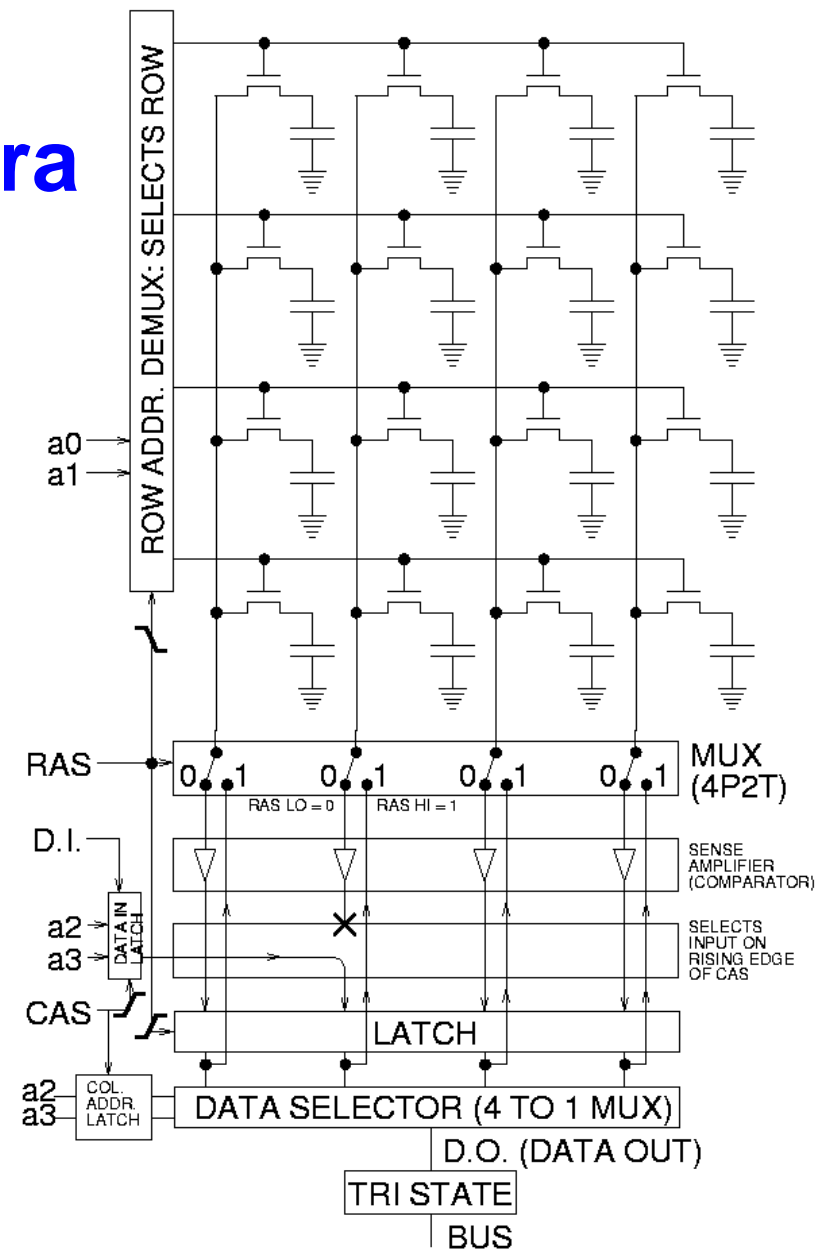
(grazie al prof. Steve Mann per la figura)



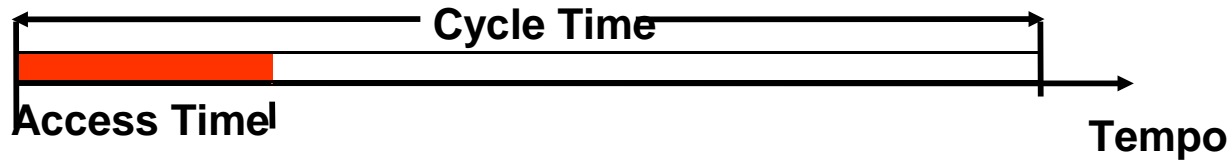
DRAM: operazione di scrittura

Durante la scrittura su una particolare cella, l'intera riga viene letta, viene modificato il valore della cella prescelta e quindi l'intera riga viene riscritta.

(grazie al prof. Steve Mann per la figura)

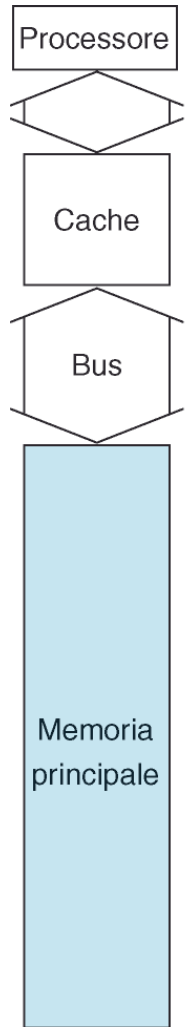


Che cosa limita l'ampiezza di banda della DRAM ?

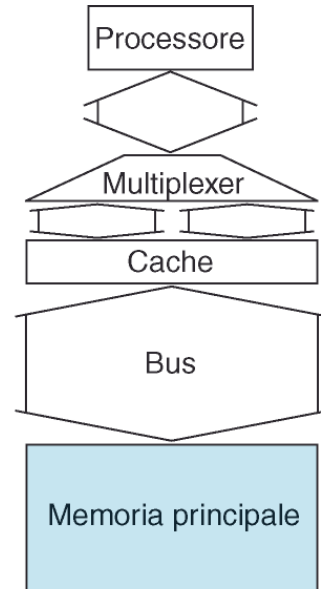


- DRAM (Read/Write) Cycle Time \gg DRAM (Read/Write) Access Time
 - circa 2:1
- DRAM (Read/Write) Cycle Time :
 - Con quale frequenza si può iniziare un accesso ?
- DRAM (Read/Write) Access Time:
 - Quanto velocemente si completa il trasferimento, una volta avviato ?

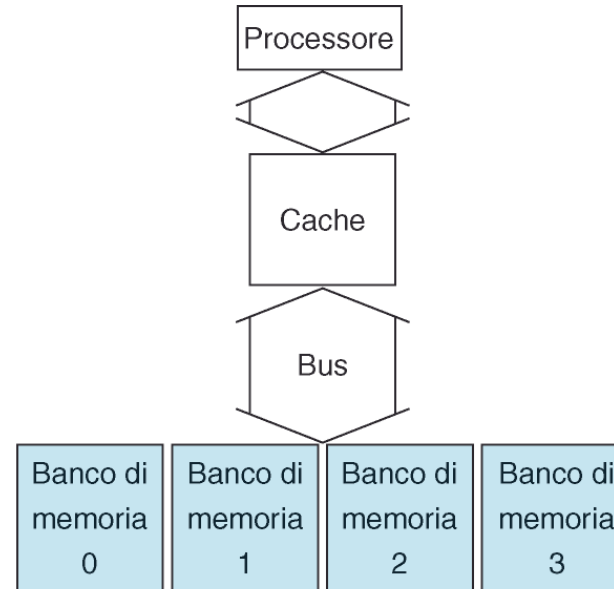
 **Limitata ampiezza di banda della DRAM**



a. Memoria principale
larga una parola



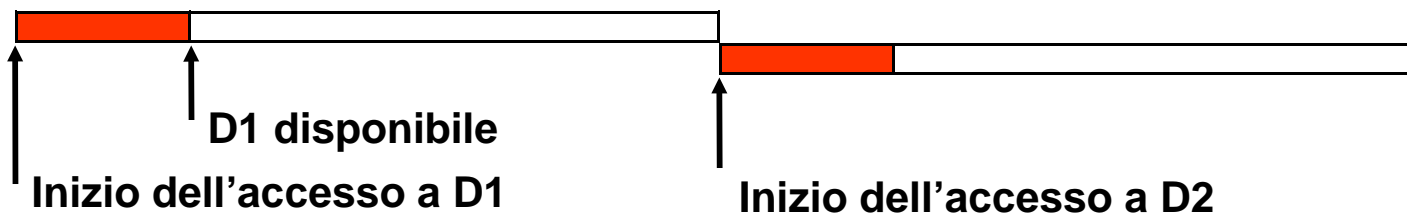
b. Memoria principale più larga



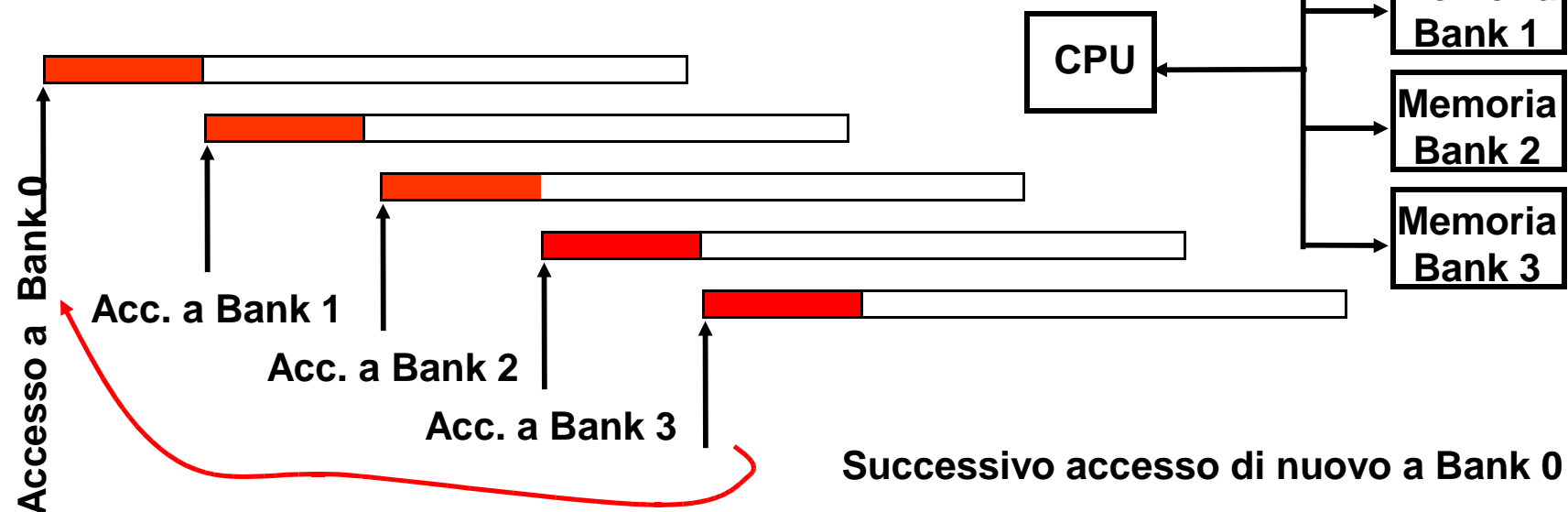
c. Organizzazione interallacciata della memoria
principale

Interleaving

Accesso senza Interleaving:



Accesso con 4-way Interleaving:



Synchronous DRAM (SDRAM)

- Accesso sincronizzato con un clock esterno
- I dati sono trasferiti in sincronia con il clock di sistema
- Il processore sa quando i dati saranno disponibili, perciò non deve attendere, può fare altro
- La SDRAM consente una modalità burst per cui il trasferimento di un blocco di dati può essere realizzato tramite un flusso continuo di word

Confronto DRAM asincrone/sincrone

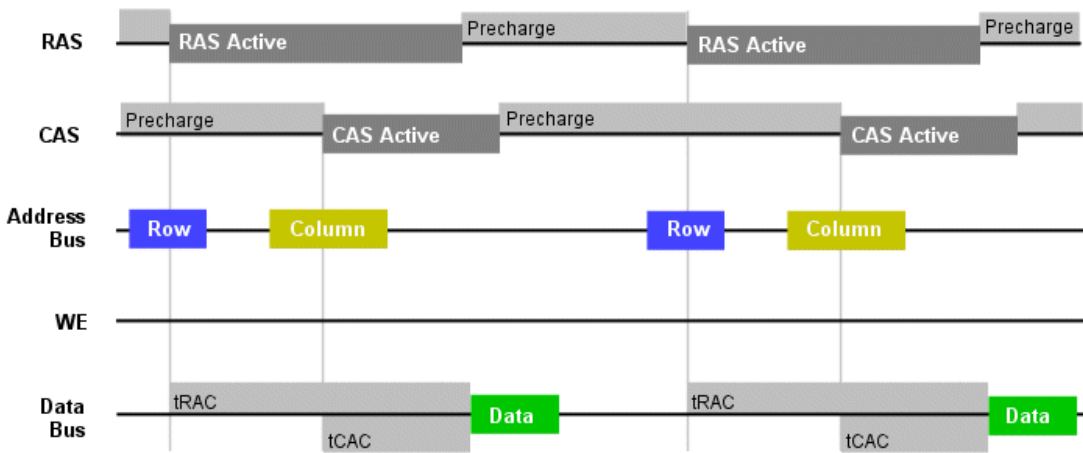
- **Controllo asincrono**

- il processore deve attendere il completamento dell'operazione da parte della DRAM.
- La tempificazione è imposta dalla DRAM

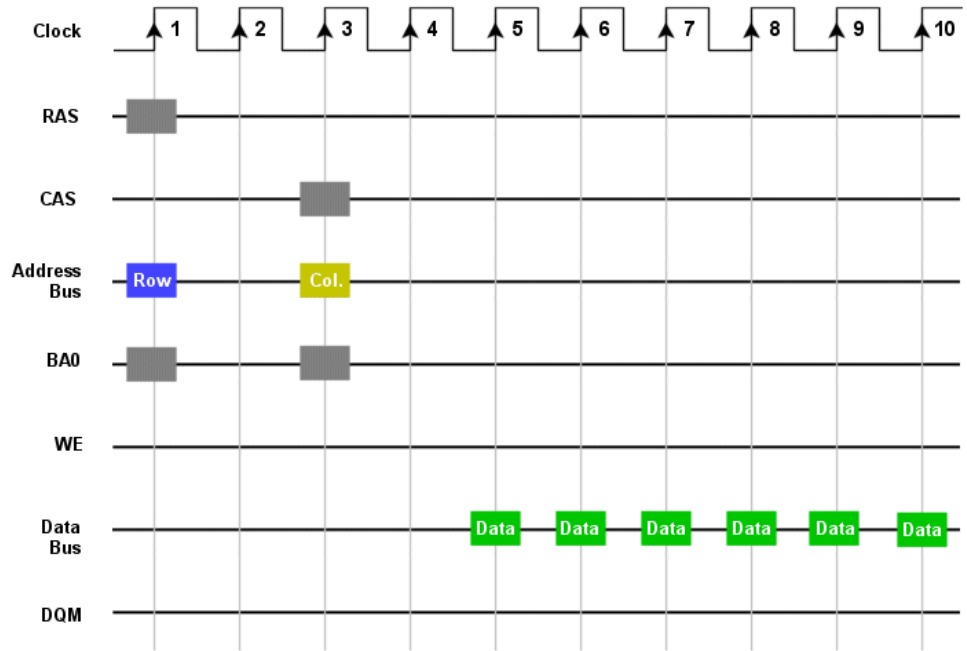
- **Controllo sincrono**

- la DRAM acquisisce le informazioni dal processore (dati, indirizzi, segnali di controllo) sotto il controllo del clock di sistema; dopo un certo numero di cicli, i dati saranno disponibili sulle linee di uscita. Nel frattempo il processore può dedicarsi ad altri task.
- la tempificazione è gestita completamente in base al clock.

DRAM Read



SDRAM Read



Confronto tempificazione DRAM / SDRAM

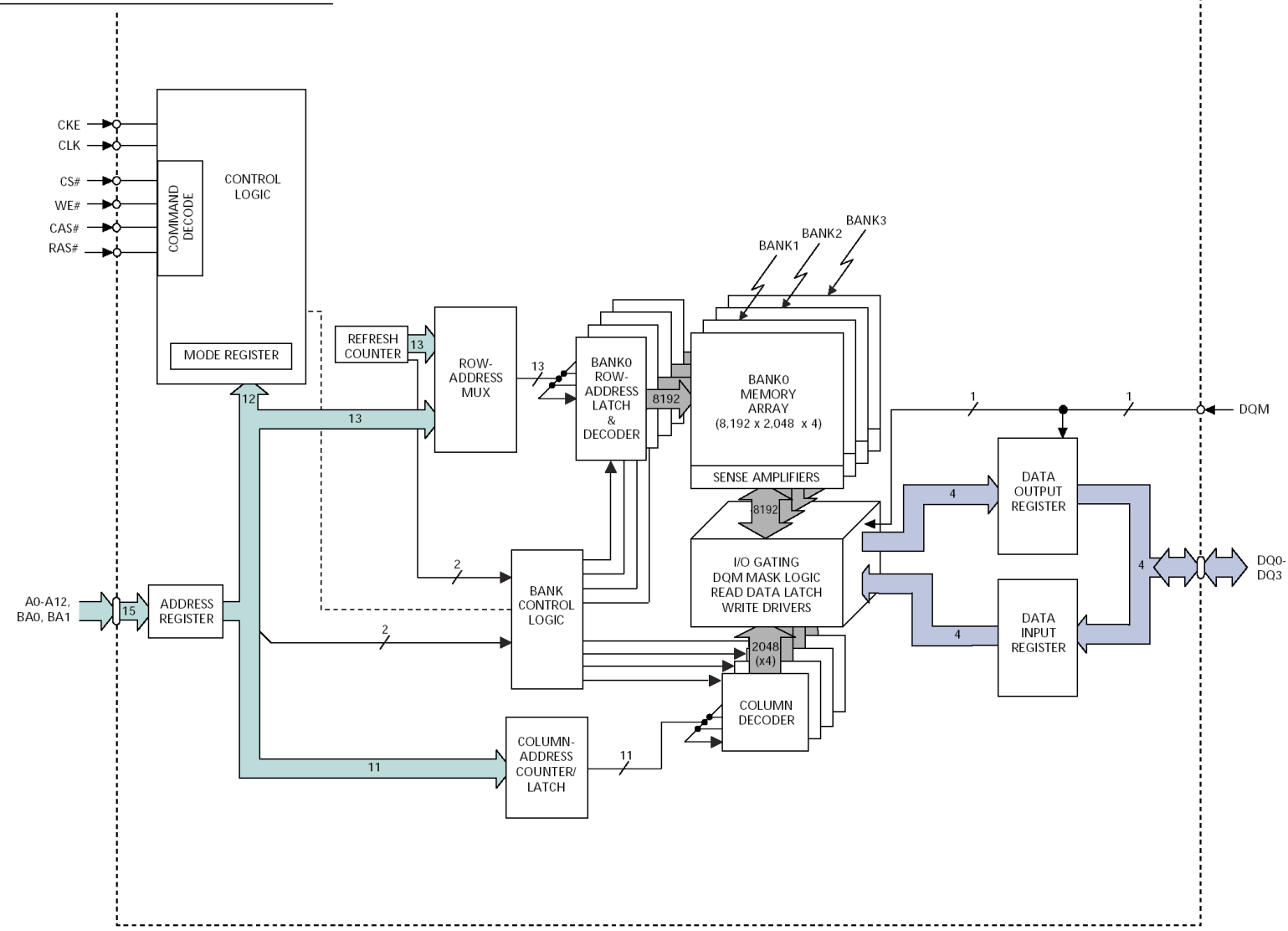
Gestione della SDRAM

- L'attività della SDRAM viene programmata tramite *comandi* forniti sui suoi terminali di controllo in corrispondenza del fronte di salita del clock
- La SDRAM ha cinque terminali di controllo primari:
 - **CS** (Chip Select)
 - **RAS** (Row Address Select)
 - **CAS** (Column Address Select)
 - **WE** (Write Enable)
 - **DQM**: Praticamente coincidente con l'Output Enable. DQM controlla i drivers tristate sui terminali dati della SDRAM.

SYNCHRONOUS DRAM

MT48LC64M4A2 - 16 Meg x 4 x 4 banks
MT48LC32M8A2 - 8 Meg x 8 x 4 banks
MT48LC16M16A2 - 4 Meg x 16 x 4 banks

For the latest data sheet, please refer to the Micron Web site:
www.micron.com/dramds



Gestione della SDRAM

- Gli accessi in lettura e scrittura sono *burst oriented*; iniziano ad una locazione definita e continuano per un numero di locazioni programmato in una sequenza programmata
- Prima dell'inizio delle normali operazioni la SDRAM deve essere inizializzata.
- Il mode register è un registro di controllo della SDRAM ed è usato per definire la specifica modalità di operazione della SDRAM
- La modalità programmata è valida finchè il modulo SDRAM viene programmato di nuovo o non viene più alimentato

Double Data Rate SDRAM (DDR)

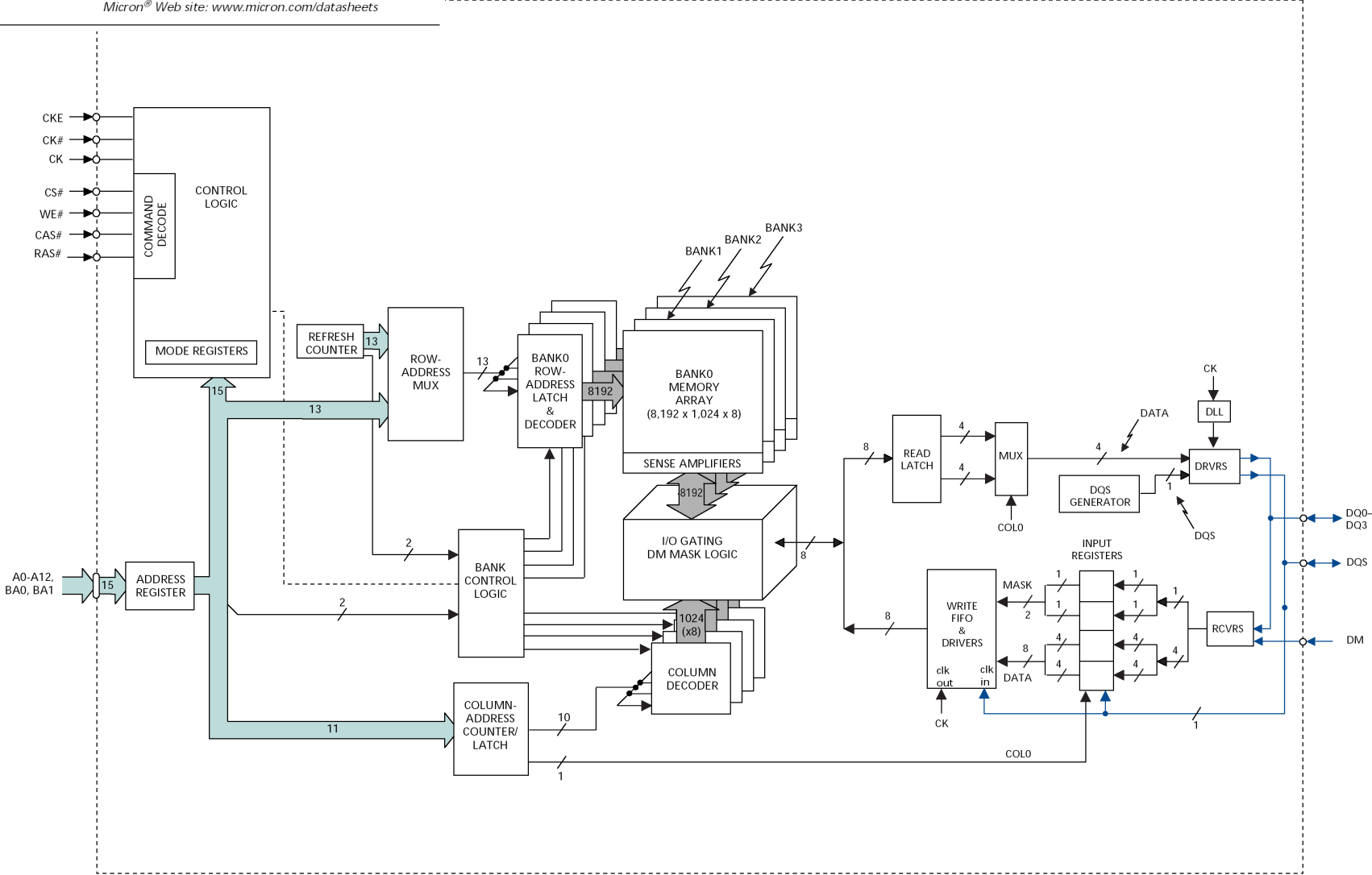
- Le SDRAM DDR inviano dati due volte per ogni ciclo di clock (leading & trailing edge)
- Permettono quindi un data rate doppio rispetto alle SDRAM tradizionali
- Di solito viene utilizzata un'architettura $2n$ -prefetch dove l'ampiezza del bus interno è doppia rispetto al bus esterno

DOUBLE DATA RATE (DDR) SDRAM

MT46V64M4 – 16 MEG x 4 x 4 BANKS
MT46V32M8 – 8 MEG x 8 x 4 BANKS
MT46V16M16 – 4 MEG x 16 x 4 BANKS

For the latest data sheet revisions, please refer to the
Micron® Web site: www.micron.com/datasheets

Functional Block Diagram: 64 Meg x 4



Confronto SDRAM/DDR

- Il nucleo dei moduli nei due casi è essenzialmente lo stesso:
 - Stesso indirizzamento
 - Stessa interfaccia comandi
 - Array di memoria a 4 banchi
- La differenza fondamentale sta nell'interfaccia dati
- SDRAM
 - La lettura/scrittura dei dati è sincronizzata con il fronte di salita del clock
 - Il bus interno ha ampiezza uguale al bus esterno
 - I dati sono trasferiti da /verso l'array interno a word singole, così come passano attraverso i buffer di I/O
- DDR
 - La lettura/scrittura dei dati è sincronizzata con entrambi i fronti del clock
 - Il bus interno ha ampiezza doppia di quella del bus esterno
 - I trasferimenti dati tra l'array interno e i buffer di I/O avvengono a coppie di word

