

Le Interruzioni

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Ciclo del processore

L'esecuzione di una istruzione avviene attraverso alcune fasi:

Fetch

L'istruzione da eseguire viene prelevata dalla memoria e trasferita all'interno della CPU

Decode

L'istruzione viene interpretata e vengono avviate le azioni interne necessarie per la sua esecuzione

Operand Assembly

Vengono prelevati dalla memoria i dati su cui eseguire l'operazione prevista dalla istruzione

Execute

Viene portata a termine l'esecuzione dell'operazione prevista dalla istruzione

Store

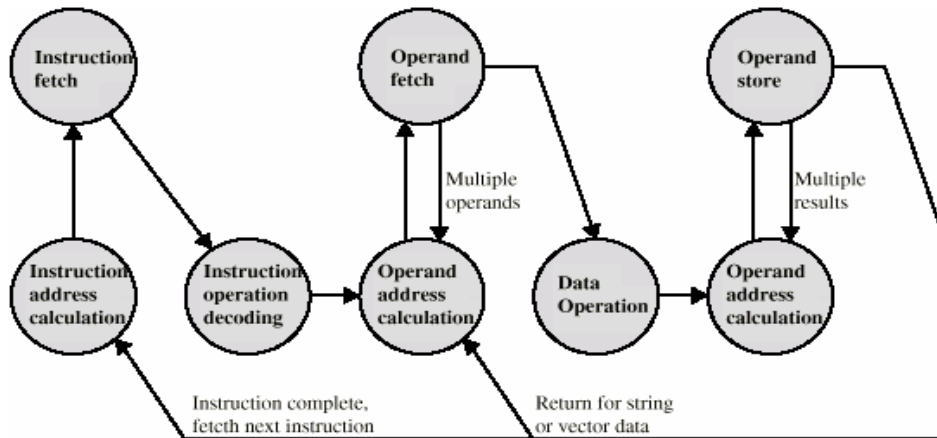
Viene memorizzato il risultato dell'operazione prevista dalla istruzione

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Ciclo del processore – diagramma di stato



F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Interruzioni

- **Meccanismo tramite il quale altri moduli (es. I/O) possono interrompere la normale sequenza di elaborazione**
- **Possibili cause**
 - **Programma**
 - overflow, division by zero, istruzione non riconosciuta, accesso errato
 - **Timer**
 - Generato da un timer interno
 - Utilizzato nella gestione del multi-tasking preemptive
 - **I/O**
 - Generato da un controllore di I/O
 - **Malfunzionamento hardware**
 - Errore di parità in memoria, abbassamento della tensione, ecc.

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Interruzioni

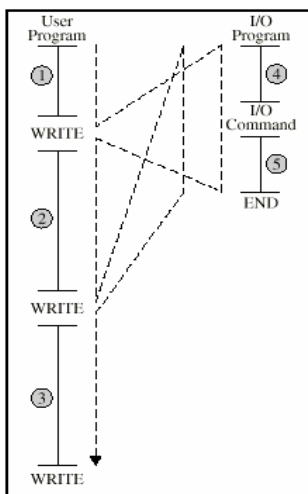
- Le interruzioni sono concepite per migliorare l'efficienza dell'elaborazione.
- Permettono di liberare il processore da compiti gravosi di sincronizzazione.
- Sono utili soprattutto per gestire le operazioni realizzate da componenti che hanno tempi di risposta molto superiori a quelli del processore (es. dispositivi di I/O).

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Flusso di controllo



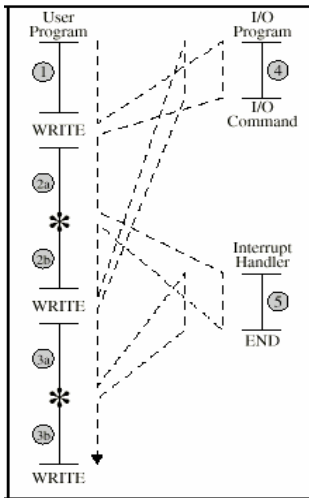
- **Gestione di un'operazione di I/O senza interruzioni**
- **Il processore**
 - avvia l'operazione
 - attende la fine dell'operazione
 - chiude l'operazione
 - continua l'esecuzione del programma

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Flusso di controllo



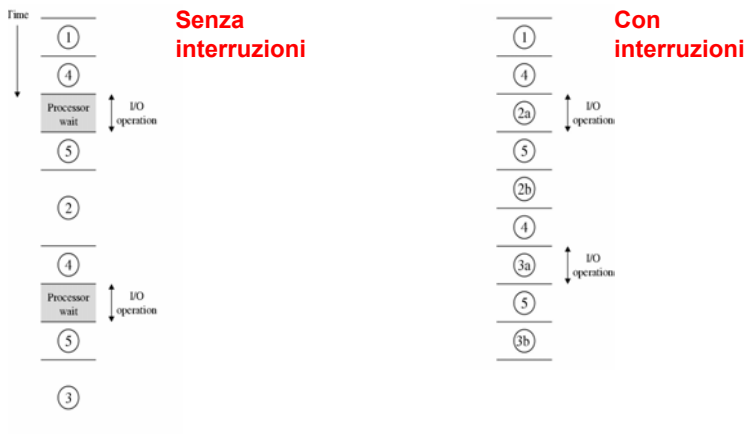
- **Gestione di un'operazione di I/O con interruzioni**
- **Operazione breve (termina prima della richiesta di I/O successiva)**
- **Il processore**
 - avvia l'operazione
 - continua l'esecuzione del programma
 - al termine dell'operazione viene interrotta l'esecuzione del programma e viene gestita la chiusura dell'operazione
 - riprende l'esecuzione

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi di Cassino

Diagramma temporale

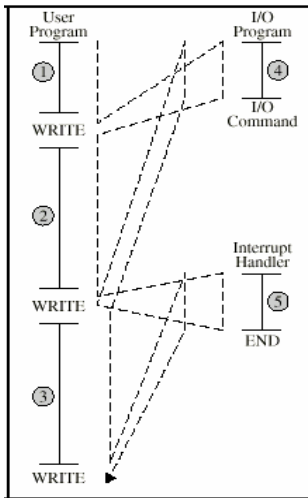


F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi di Cassino

Flusso di controllo



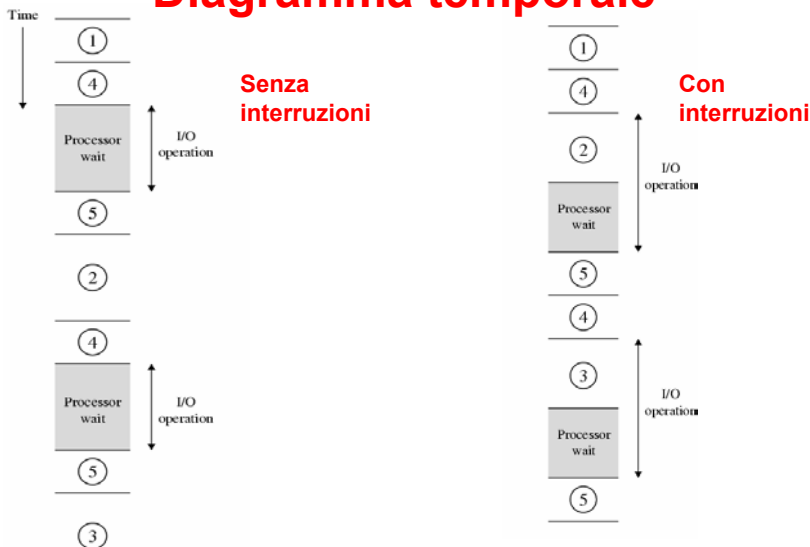
- **Gestione di un'operazione di I/O con interruzioni**
- **Operazione lunga** (non termina prima della richiesta di I/O successiva)
- **Il processore**
 - avvia l'operazione
 - continua l'esecuzione del programma
 - alla richiesta successiva l'esecuzione del programma viene sospesa, si attende il termine dell'operazione precedente e si avvia l'operazione successiva
 - riprende l'esecuzione

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi di Cassino

Diagramma temporale

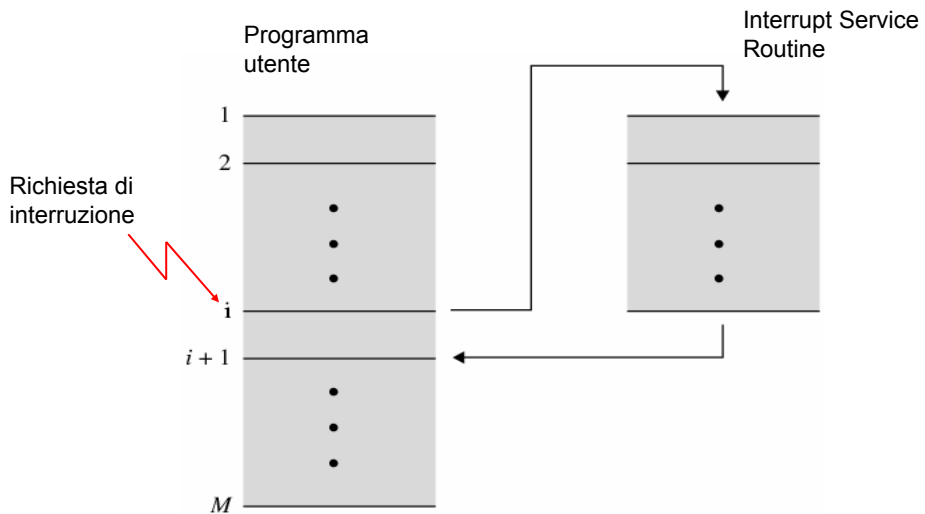


F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi di Cassino

Trasferimento del controllo via interruzione



F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Ciclo di Interruzione

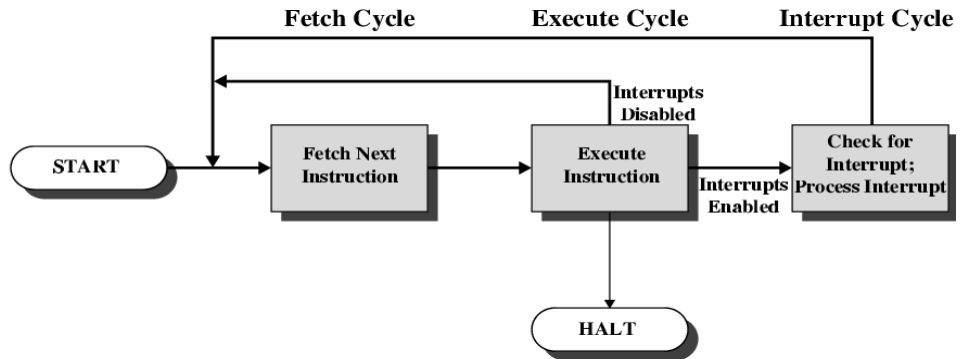
- **Aggiunto al ciclo del processore**
- **Il processore verifica la presenza di un'interruzione**
 - Indicato da un segnale apposito
- **Se non ci sono interruzioni, riprende il ciclo del processore**
- **Se ci sono richieste di interruzione:**
 - Si sospende l'esecuzione del programma corrente
 - Si salva il contesto
 - Si inizializza il PC all'indirizzo d'ingresso della routine per la gestione dell'interrupt (Interrupt Service Routine – ISR)
 - Si gestisce l'interruzione
 - Si ripristina il contesto e si continua l'esecuzione del programma interrotto

F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi
di Cassino

Ciclo del processore con interruzioni

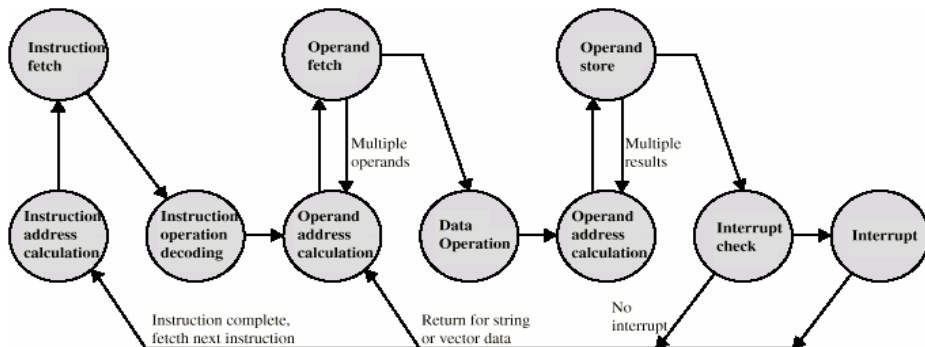


F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi di Cassino

Ciclo del processore (con interruzioni) diagramma di stato



F. Tortorella

Corso di Calcolatori Elettronici II

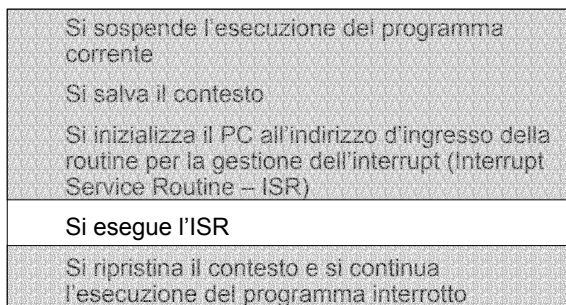
Università degli Studi di Cassino

Interruzioni multiple

- **Una richiesta di interruzione può giungere mentre si sta già servendo un'interruzione. Cosa fare ?**
- **Disabilitazione delle interruzioni**
 - Il processore ignora ulteriori richieste di interruzione mentre sta servendo un'interruzione
 - Le richieste non accolte restano in attesa e sono verificate dopo che la prima interruzione è stata servita
 - Le richieste di interruzione sono gestite in sequenza, in ordine di arrivo
- **Definizione di priorità**
 - Vengono definite delle classi di priorità (**su quale base ?**) e ciascuna delle possibili richieste di interruzione viene assegnata ad una classe
 - Le ISR relative ad interruzioni a bassa priorità possono essere interrotte da richieste di interruzione a più alta priorità
 - Il processore torna ad eseguire la ISR interrotta dopo aver servito l'interruzione a più alta priorità
 - Una richiesta di interruzione resta in attesa se il processore sta servendo un'interruzione a priorità più alta

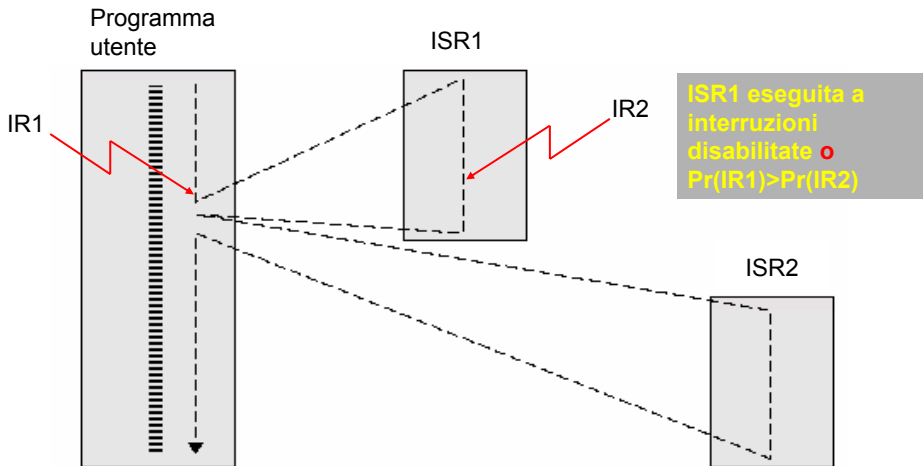
Fasi protette

Anche se subentra una richiesta di interruzione a più alta priorità, ci sono alcune fasi del servizio di un'interruzione (salvataggio e ripristino del contesto) che non possono essere interrotte



**Fasi
protette**

Interruzioni multiple servite in sequenza

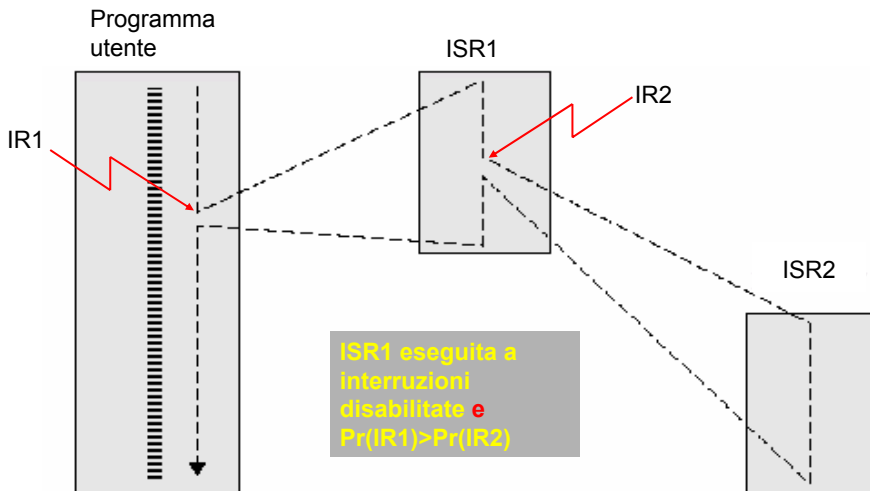


F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi di Cassino

Interruzioni multiple innestate



F. Tortorella

Corso di Calcolatori Elettronici II

Università degli Studi di Cassino

Interruzioni innestate – sequenza temporale

