

Reti combinatorie

F. Tortorella

Corso di Calcolatori Elettronici

Università degli Studi
di Cassino

Reti combinatorie

- una rete combinatoria è un circuito logico avente n ingressi (x_1, x_2, \dots, x_n) ed m uscite (y_1, y_2, \dots, y_m) , ciascuno dei quali assume valori binari (0/1), e tale che a ciascuna combinazione degli ingressi corrisponde un'unica combinazione delle uscite.
- da un punto di vista logico, ogni uscita può essere definita come una funzione booleana degli ingressi $y_i = y_i(x_1, x_2, \dots, x_n)$.
- ad ogni istante, il valore delle uscite dipende unicamente dal valore assunto dagli ingressi nello stesso istante.

F. Tortorella

Corso di Calcolatori Elettronici

Università degli Studi
di Cassino

Addizionatore

Esegue l'addizione di cifre binarie fornendo in uscita la cifra somma e la cifra riporto. Sono possibili due schemi:

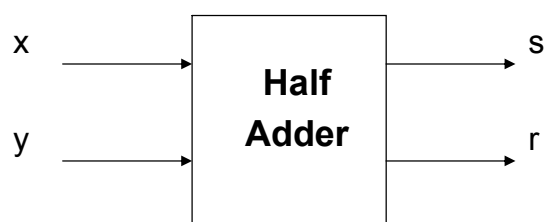
- semiaddizionatore (half adder)
 - 2 cifre in ingresso
- addizionatore completo (full adder)
 - 2 cifre in ingresso + carry in ingresso

F. Tortorella

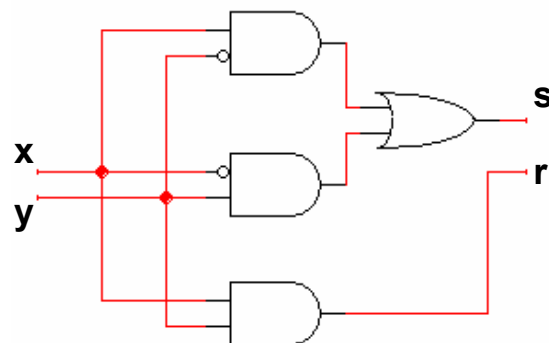
Corso di Calcolatori Elettronici

Università degli Studi di Cassino

Half adder



x	y	s	r
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

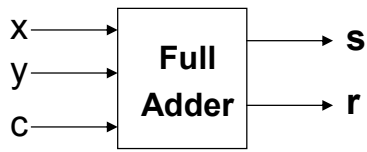


F. Tortorella

Corso di Calcolatori Elettronici

Università degli Studi di Cassino

Full Adder



x	y	c	s	r
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

		xy			
		00	01	11	10
c	0		1		1
	1	1		1	

		xy			
		00	01	11	10
c	0			1	
	1		1	1	1

$$s = !x!yc + !xy!c + xyc + x!y!c$$

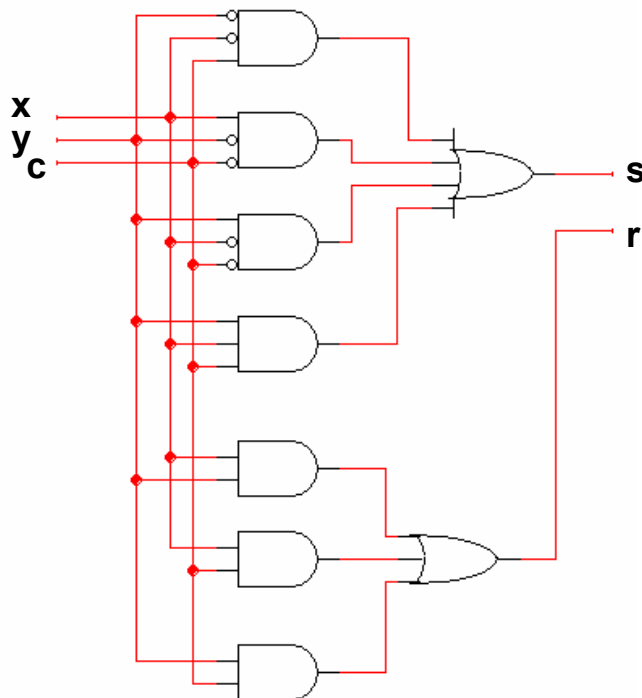
$$r = xy + yc + xc$$

F. Tortorella

Corso di Calcolatori Elettronici

Università degli Studi
di Cassino

Full Adder – sintesi diretta



F. Tortorella

Corso di Calcolatori Elettronici

Università degli Studi
di Cassino

Full Adder – sintesi per decomposizione

$$s = !x!yc + !xy!c + xyc + x!y!c = (!x!y + xy)c + (!xy + x!y)!c$$

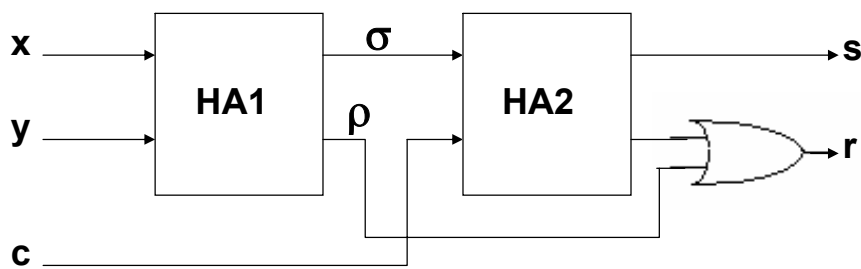
$$r = xy + yc + xc = xy + !xyc + xyc + xyc + x!yc = xy + (!xy + x!y)c$$

$$\sigma = !xy + x!y$$

$$\rho = xy$$

$$s = !\sigma c + \sigma!c$$

$$r = \rho + \sigma c$$



F. Tortorella

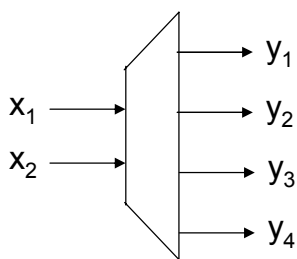
Corso di Calcolatori Elettronici

Università degli Studi di Cassino

Decodificatore

Rete combinatoria ad n ingressi ed a 2^n uscite. Per ogni combinazione degli ingressi, solo una uscita assume valore 1 mentre le altre sono uguali a 0.

decodificatore 1/4



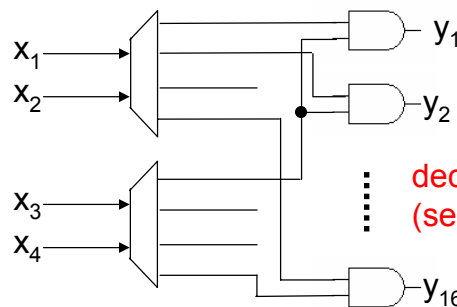
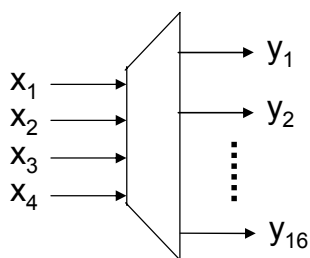
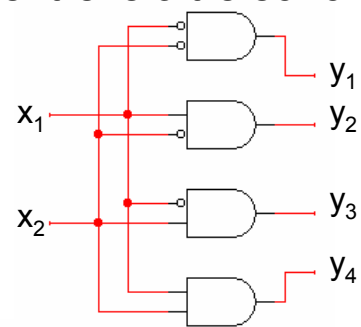
x_1	x_2	y_1	y_2	y_3	y_4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

$$y_1 = !x_1!x_2$$

$$y_2 = !x_1x_2$$

$$y_3 = x_1!x_2$$

$$y_4 = x_1x_2$$



decodificatore 1/16 (semiselezione)

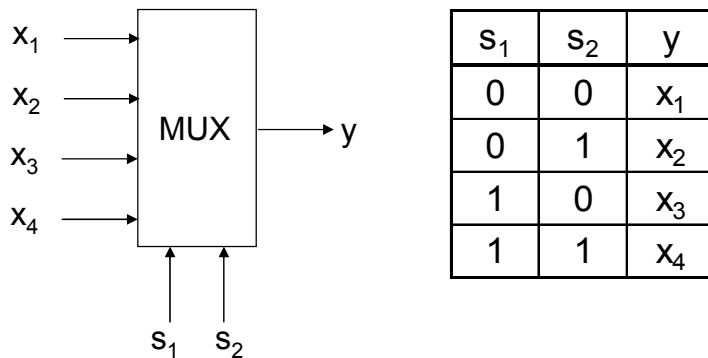
F. Tortorella

Corso di Calcolatori Elettronici

Università degli Studi di Cassino

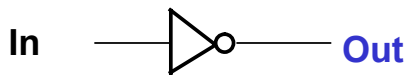
Multiplexer

Rete combinatoria i cui ingressi sono divisi in *ingressi dati* (n) e *ingressi selezione* ($\lceil \log_2 n \rceil$), mentre l'uscita è unica ed è uguale ad uno degli ingressi dati, scelto sulla base degli ingressi selezione.

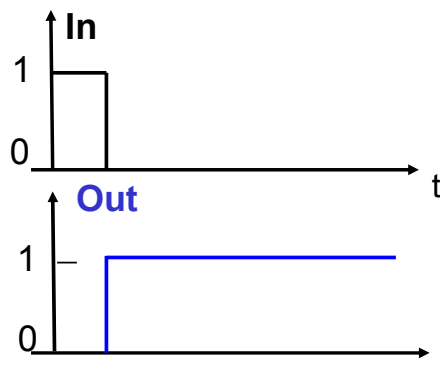


realizzazione ?

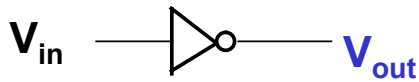
Il ritardo nelle reti combinatorie



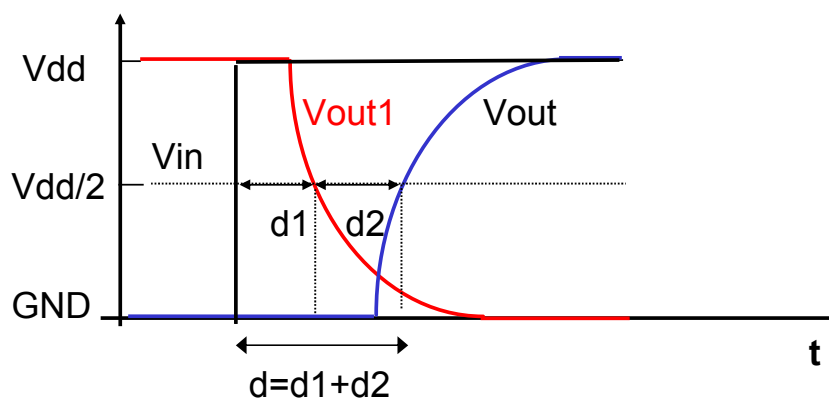
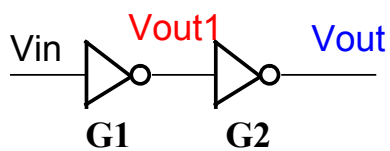
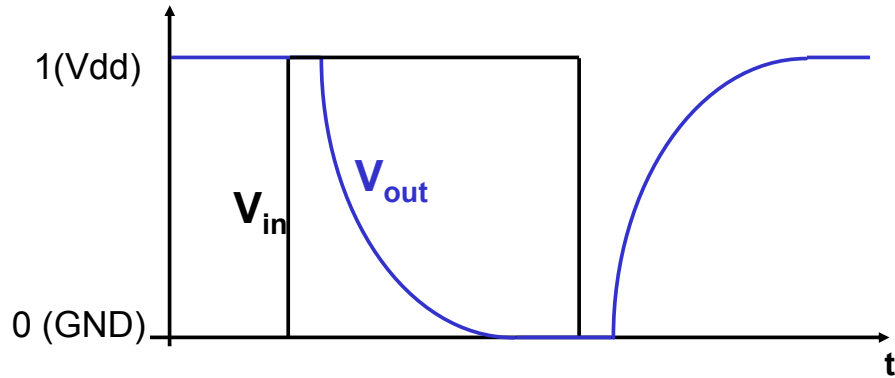
Comportamento ideale:



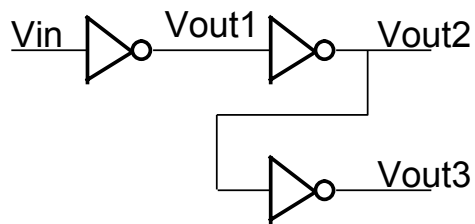
La realizzazione circuitale delle porte logiche non rispetta questo comportamento a causa degli effetti capacitivi presenti, che generano dei transitori.



Comportamento reale:



Con due porte in cascata, il ritardo di propagazione è uguale alla somma dei ritardi.



Il ritardo sulle due uscite non è lo stesso.

$$\text{Ritardo}(V_{in} \rightarrow V_{out2}) = \text{Ritardo}(V_{in} \rightarrow V_{out1}) + \text{Ritardo}(V_{out1} \rightarrow V_{out2})$$

$$\text{Ritardo}(V_{in} \rightarrow V_{out3}) = \text{Ritardo}(V_{in} \rightarrow V_{out1}) + \text{Ritardo}(V_{out1} \rightarrow V_{out2}) + \text{Ritardo}(V_{out2} \rightarrow V_{out3})$$

Percorso critico (*Critical path*): il percorso a ritardo maggiore ($V_{in} \rightarrow V_{out3}$), che caratterizza l'intero circuito.